

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151823

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 29/74

(21)Application number : 04-299564

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.11.1992

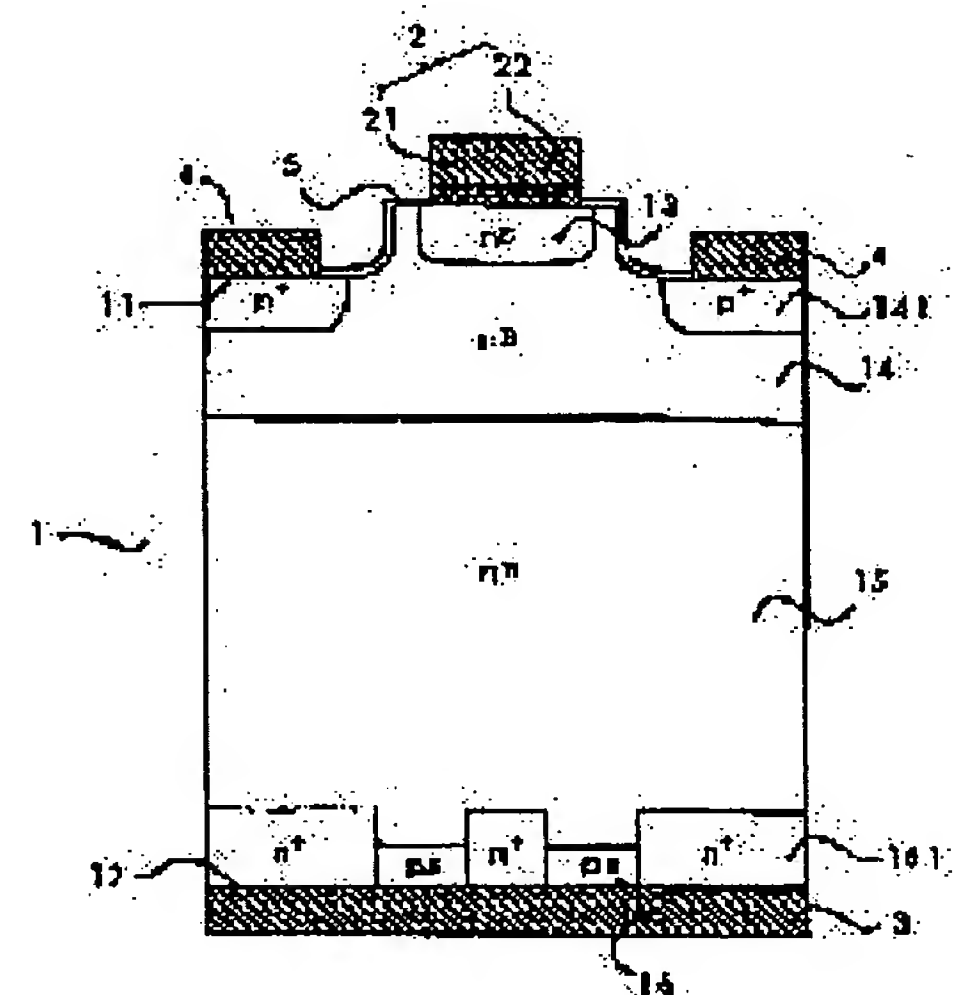
(72)Inventor : ONOSE HIDEKATSU  
MATSUYOSHI SATOSHI

## (54) SEMICONDUCTOR ELEMENT HAVING SELF-ARC-EXTINGUISHING FUNCTION

## (57)Abstract:

**PURPOSE:** To provide a high breakdown-strength semiconductor element having structure suitable for stably manufacturing the element having excellent breakdown resistance without generating a defective such as a G-K short circuit.

**CONSTITUTION:** A cathode electrode 2 consisting of an n-type polycrystalline layer 21 and a metallic layer 22 is formed onto an (n) emitter layer 13, gate electrodes 4 are formed onto a (p) base layer 14, and surfaces among the cathode electrode 2 and the gate electrodes 4 are covered with insulating films 5 thinner than the polycrystalline layer 21. Accordingly, the polycrystalline layer 21 under the metallic layer 22 is not deformed even when the metallic layer 22 is deformed by applied pressure, thus preventing a G-K short circuit.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-151823

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/74

識別記号

庁内整理番号

F I

技術表示箇所

C  
B  
M

審査請求 未請求 請求項の数18(全 15 頁)

(21)出願番号

特願平4-299564

(22)出願日

平成4年(1992)11月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小野瀬 秀勝

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 松吉 聡

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

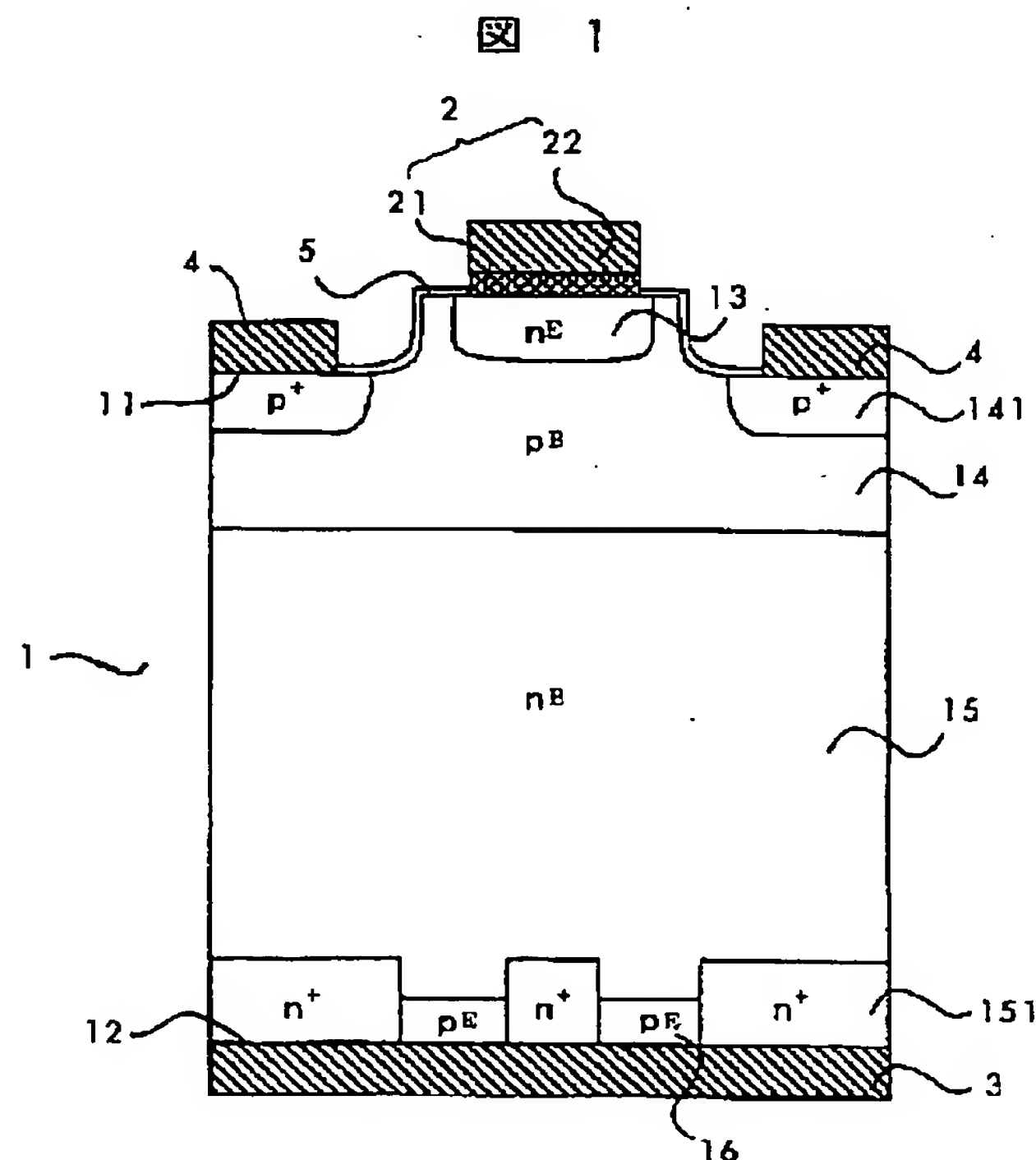
(54)【発明の名称】 自己消弧機能を有する半導体素子

(57)【要約】

【目的】 G-Kショートなどの不良を起こすことなく、安定して破壊耐量の優れた素子を作製するのに好適な構造の高耐圧半導体素子を提供する。

【構成】 nエミッタ層13上にn型多結晶層21と金属層22から成るカソード電極2を設け、pベース層14上にゲート電極4を設け、カソード電極2とゲート電極4との間の表面を多結晶層21より薄いに絶縁膜5で被覆した構成にする。

【効果】 加圧力によって金属層22が変形しても、その下の多結晶層21が変形しないため、G-Kショートを未然に防止できる。



## 【特許請求の範囲】

【請求項1】 一对の主表面を有する半導体基体は、導電型が隣接相互で異なる中央の二つのベース層と両側の二つのエミッタ層によりpnpn接合構造を有しており、半導体基体の一方の主表面には、短冊状をなす複数の一方のエミッタ層とこの層に隣接する一方のベース層が露出し、他方の主表面には、少なくとも一方のエミッタ層に対応する領域に他方のエミッタ層が露出し、一方の主表面に露出する一方のエミッタ層に、一方のエミッタ層と同じ導電型を呈する不純物がドーパされた多結晶層及びその上に位置する金属層からなるカソード電極が形成され、他方の主表面に露出する他方のエミッタ層にアノード電極が形成され、一方の主表面に露出する一方のベース層に一方のエミッタ層を包囲するようにゲート電極が形成され、カソード電極とゲート電極との間に位置する一方の主表面が多結晶層より薄い絶縁膜によって被覆されていることを特徴とする自己消弧機能を有する半導体素子。

【請求項2】 請求項1において、一方の主表面が平坦面であることを特徴とする自己消弧機能を有する半導体素子。

【請求項3】 請求項1において、一方の主表面が凹凸面からなり、凸部に一方のエミッタ層が露出し、凹部に一方のベース層が露出することを特徴とする自己消弧機能を有する半導体素子。

【請求項4】 一对の主表面を有する半導体基体は、導電型が隣接相互で異なる中央の二つのベース層と両側の二つのエミッタ層によりpnpn接合構造を有しており、半導体基体の一方の主表面には、短冊状をなす複数の一方のエミッタ層とこの層に隣接する一方のベース層が露出し、他方の主表面には、少なくとも一方のエミッタ層に対応する領域に他方のエミッタ層が露出し、一方の主表面に露出する一方のエミッタ層に、一方のエミッタ層と同じ導電型を呈する不純物がドーパされた多結晶層及びその上に位置する金属層からなるカソード電極が形成され、他方の主表面に露出する他方のエミッタ層にアノード電極が形成され、一方の主表面に露出する一方のベース層に一方のエミッタ層を包囲するようにゲート電極が形成され、一方のエミッタ層が多結晶層からの不純物の拡散によって形成された層であることを特徴とする自己消弧機能を有する半導体素子。

【請求項5】 請求項4において、一方の主表面が平坦面であることを特徴とする自己消弧機能を有する半導体素子。

【請求項6】 請求項4において、一方の主表面が凹凸面

からなり、凸部に一方のエミッタ層が露出し、凹部に一方のベース層が露出することを特徴とする自己消弧機能を有する半導体素子。

【請求項7】 一对の主表面を有する半導体基体は、導電型が隣接相互で異なる中央の二つのベース層と両側の二つのエミッタ層によりpnpn接合構造を有しており、半導体基体の一方の主表面には、短冊状をなす複数の一方のエミッタ層とこの層に隣接する一方のベース層が露出し、

10 他方の主表面には、少なくとも一方のエミッタ層に対応する領域に他方のエミッタ層が露出し、

一方の主表面に露出する一方のエミッタ層に、一方のエミッタ層と同じ導電型を呈する不純物がドーパされた多結晶層及びその上に位置する多結晶層より小面積の金属層からなるカソード電極が形成され、

他方の主表面に露出する他方のエミッタ層にアノード電極が形成され、

一方の主表面に露出する一方のベース層に一方のエミッタ層を包囲するようにゲート電極が形成され、

20 カソード電極とゲート電極との間に位置する一方の主表面及び多結晶層の露出面が多結晶層より薄い絶縁膜によって被覆されていることを特徴とする自己消弧機能を有する半導体素子。

【請求項8】 請求項7において、一方の主表面が平坦面であることを特徴とする自己消弧機能を有する半導体素子。

【請求項9】 請求項7において、一方の主表面が凹凸面からなり、凸部に一方のエミッタ層が露出し、凹部に一方のベース層が露出することを特徴とする自己消弧機能を有する半導体素子。

30 【請求項10】 請求項7において、一方のエミッタ層が多結晶層からの不純物の拡散によって形成された層であることを特徴とする自己消弧機能を有する半導体素子。

【請求項11】 一对の主表面を有し、一方の主表面に隣接する一方導電型のベース層、及び一方の主表面からこのベース層内に延びる露出する短冊状をなす複数の他方導電型のエミッタ層が設けられた半導体基体と、エミッタ層上に形成された他方導電型を呈する不純物がドーパされた多結晶層及びその上に位置する多結晶層より小面積の金属層からなるカソード電極と、ベース層上にエミッタ層を包囲するように形成されたゲート電極と、

カソード電極とゲート電極との間に位置する一方の主表面上に形成された多結晶層より薄い絶縁膜とを具備することを特徴とする自己消弧機能を有する半導体素子。

【請求項12】 請求項11において、一方の主表面が平坦面であることを特徴とする自己消弧機能を有する半導体素子。

50 【請求項13】 請求項11において、一方の主表面が凹凸面からなり、凸部にエミッタ層が露出し、凹部にベー



ス層が露出することを特徴とする自己消弧機能を有する半導体素子。

【請求項14】請求項11において、エミッタ層が多結晶層からの不純物の拡散によって形成された層であることを特徴とする自己消弧機能を有する半導体素子。

【請求項15】一対の主表面を有し、一方の主表面に隣接する一方導電型のベース層、及び一方の主表面からこのベース層内に延びる露出する短冊状をなす複数個の他方導電型のエミッタ層が設けられた半導体基体と、

エミッタ層上に形成された他方導電型を呈する不純物がドーパされた多結晶層及びその上に位置する多結晶層より小面積の金属層からなるカソード電極と、

ベース層上にエミッタ層を包囲するように形成されたゲート電極と、

カソード電極とゲート電極との間に位置する一方の主表面及び多結晶層の露出面上に形成された多結晶層より薄い絶縁膜とを具備することを特徴とする自己消弧機能を有する半導体素子。

【請求項16】請求項15において、一方の主表面が平坦面であることを特徴とする自己消弧機能を有する半導体素子。

【請求項17】請求項15において、一方の主表面が凹凸面からなり、凸部にエミッタ層が露出し、凹部にベース層が露出することを特徴とする自己消弧機能を有する半導体素子。

【請求項18】請求項15において、エミッタ層が多結晶層からの不純物の拡散によって形成された層であることを特徴とする自己消弧機能を有する半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、自己消弧機能を有する半導体素子に係り、特にゲート・カソード(G-K)間耐圧不良の少ない高耐圧大電流の半導体素子構造に関する。

【0002】

【従来の技術】ゲートターンオフサイリスタ(以下GTOと略称する)はpエミッタ層1、nベース層、pベース層及びnエミッタ層の連続した4層構造を有し、pエミッタ層にアノード電極、pベース層にゲート電極、nエミッタ層にカソード電極がそれぞれ形成された構造をGTO単位(セグメントと称す)とし、これが複数個並列的に配置された構成となっている。一般に、個々のセグメントのnエミッタ層は短冊状であり、その配置の方法は、例えば図42に示したように長手方向を放射状にした同心円状で、多重リング構成となっている。これにより大電流を遮断することを可能としている。各セグメントのnエミッタ層上にはそれと略同形状のAlのカソード電極2が配置されている。GTOの自己消弧機能は、個々のセグメントのゲート電極4からゲート電流を引き抜くことにより達成される。

【0003】しかしゲート抵抗が大きい場合は、ターンオフ時にゲート電流の引き抜きが不十分となり、セグメントの一部特にnエミッタ層直下に電流が集中する。これにより温度が上昇し、素子が破壊される。そのため従来からゲート抵抗を小さくし、破壊耐量を高める工夫がなされてきた。例えば、図43に示すようにnエミッタ層 $n_s$ をメサ領域の中央部に限定すること、更に図43に加えて図44に示すようにnエミッタ層 $n_s$ 周辺部にゲートコンタクト領域である $p^+$ 領域を拡散させた構造などが提案されてきた。一方、電流集中の現象は各セグメントの電気的特性のばらつきにより、特にゲート抵抗が高いセグメントにおいて顕著である。そこで、図45に示すように、nエミッタ層 $n_s$ とカソード電極2間に抵抗層Rを介在させ、電流集中を分散させる試みが提案されている(特開昭63-301563号公報)。

【0004】

【発明が解決しようとする課題】大容量のGTOでは、パッケージの外側からAlのカソード電極に圧力を加えることにより、パッケージにおけるカソードポスト電極のコンタクト性を良くする方法がとられるが、その場合加圧時にカソード電極が潰れて横方向に広がる。図43に示すnエミッタ層をメサ領域の中央部に限定した構造、更に図44に示すnエミッタ層の周辺部に $p^+$ 領域を拡散させた構造では、nエミッタ層と同一面上のpベース層上の絶縁膜、更には $p^+$ 領域上の絶縁膜上にも広がり、かつ加圧力を受けることになる。素子作製時に絶縁膜にピンホールが生じない場合でも、その後の工程でピンホールを生ずることがある。この状態で加圧するとカソード電極はピンホールを通してpベース層に接し、その結果G-K間短絡を起こすという問題がある。

【0005】一方nエミッタ層とカソード電極間に抵抗層を介在させる方法では、カソード側においてnエミッタ層がpベース層により包囲された構造となっていないため、ゲート引き抜き抵抗が大きく、破壊耐量自体は小さいという問題がある。そのため抵抗層をある程度高抵抗にする必要があり、常時抵抗層において発生する損失が大きくなる。例えば、1000(A)を遮断する場合、抵抗層によるオン電圧の上昇を1(V)とすれば、導通時の損失は通常のオン電圧による損失に加え1(kW)の損失を生ずることになる。ゲート引き抜き抵抗を小さくするには、 $p^+$ 領域を可能な限りエッチダウン側壁に近付けばよい。しかし、メサの幅にばらつきがあり、更にエッチダウン幅と $p^+$ 領域用のマスクの合わせ精度の問題から、図44のようにエッチダウン面にnエミッタ層が露出している場合は、 $p^+$ 領域とエッチダウン面の間隔を狭めることができない。そのため、ゲート引き抜き抵抗を小さくすることが困難であった。

【0006】本発明の目的は、ゲート引き抜き抵抗が小さく、かつG-K間短絡などの不良を起こすことなく、安定して優れた破壊耐量を呈する自己消弧機能を有する

半導体素子を実現するのに好適な構造を提案することにある。

#### 【0007】

【課題を解決するための手段】上記目的を達成する自己消弧機能を有する半導体素子の特徴とするところは、一方の主表面に露出する一方のエミッタ層に、一方のエミッタ層と同じ導電性を呈する不純物がドーピングされた多結晶層及びその上に位置する金属層からなるカソード電極が形成され、一方の主表面に露出する一方のベース層に一方のエミッタ層を包囲するようにゲート電極が形成され、カソード電極とゲート電極との間に位置する一方の主表面が多結晶層より薄い絶縁膜によって被覆されている点にある。

【0008】上記目的を達成する自己消弧機能を有する半導体素子の他の特徴とするところは、一方の主表面に露出する一方のエミッタ層に、一方のエミッタ層と同じ導電性を呈する不純物がドーピングされた多結晶層及びその上に位置する金属層からなるカソード電極が形成され、一方の主表面に露出する一方のベース層に一方のエミッタ層を包囲するようにゲート電極が形成され、一方のエミッタ層が多結晶層からの不純物の拡散によって形成された層である点にある。

#### 【0009】

【作用】本発明の自己消弧機能を有する半導体素子は、nエミッタ層と同一表面にあるpベース層表面、あるいはp+領域表面を絶縁膜で被い、さらにnエミッタ層上のカソード電極を絶縁膜より厚い多結晶層とその上に積層した金属層から構成したため、多結晶層と絶縁膜とで段差が存在し、加圧によるカソード電極の金属層の拡がり部分は多結晶層上の部分ほど強く加圧されることはなくなる。従って、絶縁膜にピンホールが生じた場合であっても、ピンホールを通じてカソード電極がpベース層、あるいはp+領域に接することはなくなり、G-K不良を起こすことがなくなる。さらに多結晶層は低抵抗であってよいために、オン電圧の上昇を招くおそれはない。

#### 【0010】

【実施例】以下、本発明を実施例として示した図面を用いて詳細に説明する。

【0011】【実施例1】図1は本発明GTOの第1の実施例を示す概略断面図である。1は一方の主表面11、12を有するシリコンからなる半導体基体で、一方の主表面11、12間に一方の主表面11側からnエミッタ層13、pベース層14、nベース層15及びpエミッタ層16の連続した4層が配列されている。一方の主表面11は凹凸面となっており、その凸部に短冊状のnエミッタ層13が露出し、一方の主表面11の残りの面にpベース層14が露出している。一方の主表面11の凹部にはp+領域141が設けられている。pエミッタ層16はnエミッタ層13を他方の主表面12に投影

したときそれと重なるように他方の主表面12に隣接して選択的に形成され、他方の主表面12の他の部分に隣接してnベース層15より高不純物濃度のn+領域161が形成されている。2は一方の主表面11の凸部においてnエミッタ層13にオーミックコンタクトするn型不純物が添加された多結晶層21及びその上に積層された金属層22からなるカソード電極である。多結晶層21のnエミッタ層13とのコンタクト部の大きさは、最大でもnエミッタ層13の領域を越えることはなく、nエミッタ層13の外周より内側になるように設定されている。多結晶層21における不純物は例えば隣であり、堆積時に同時に混入され、その濃度は例えば $1 \times 10^{21}$ 乗以上である。また、多結晶層21の厚さは数マイクロメータから数十マイクロメータである。この実施例では厚さを5マイクロメータとし、その抵抗を100マイクロオームとした。3は他方の主表面12においてpエミッタ層16及びn+領域161にコンタクトしたアノード電極、4は一方の主表面11の凹部においてp+領域141にコンタクトしたゲート電極、5は一方の主表面11のカソード電極2及びゲート電極4が形成されていない露出面を被覆する半導体酸化膜である。カソード電極2の金属層22、アノード電極3及びゲート電極4は全てA1を真空蒸着法により堆積させて形成した。

【0012】この実施例では、nエミッタ層13は一方の主表面11に露出する部分を除き全てpベース層14で包囲された構成になっているため、図44に示す構成に比べゲート抵抗が低くなり、優れた遮断耐量を呈することができる。また、多結晶層21が低抵抗であるため、オン電圧の上昇は極めて小さい。更に、図2に示すように、カソード電極2の金属層22が押圧力により横方向に拡がっても、押圧力により変形しない多結晶層21が存在するため、広がった部分はほとんど押圧力が加わらず、従って、酸化膜5にピンホールが存在している場合であってもピンホールを通じてカソード電極2がpベース層14に接することはなくなり、G-K短絡を起こすことがなくなる。この実施例では、本発明の効果を確認するために1000時間の熱加速試験を行ったが、ピンホールを原因とする不良は生じなかった。

【0013】【実施例2】図3は本発明GTOの第2の実施例を示す概略断面図である。図1の実施例とはp+領域141が一方の主表面11の凸部まで延びている点で相違している。この構成によれば、p+領域141を拡大してあるため、ゲート引き抜き低抵抗を図1より一層小さくすることができ、すぐれた破壊耐量を実現できる。

【0014】【実施例3】図4は本発明GTOの第3の実施例を示す概略断面図である。図1の実施例とは、p+領域141の一部141aを一方の主表面11から離れたpベース層14内部でnエミッタ層13の下方に向かって延ばした所謂埋め込みゲート構造にした点で相違



している。この構成にすることにより、図1の実施例に比較して遮断耐量をさらに向上させることができる。この実施例においても、G-K不良を起こすことがなくかつ破壊耐量の著しい改善が図れ可制御電流も向上した。図において、142は埋め込みゲート構造を実現するために、必要なエピタキシャル層である。

【0015】〔実施例4〕図5は本発明GTOの第4の実施例を示す概略断面図である。この実施例の特徴は、図3と図4の実施例を組み合わせた点にある。これによって、遮断耐量をさらに向上させたものである。この実施例においても、G-K不良を起こすことがなくかつ破壊耐量は図4の実施例よりさらに向上し、可制御電流も大きくなった。

【0016】〔実施例5〕図6は本発明GTOの第5の実施例を示す概略断面図である。この実施例の特徴は、一方の主表面11を平坦面にした点、換言すればnエミッタ層13とpベース層14のp+領域141を同一平面に露出したプレーナ構造とした点にある。こ実施例の製造工程は、メサエッチングが施されていないことを除けば、図1の実施例とほぼ同様である。なお、nエミッタ層13とp+領域141の形成手順に関しては、第1の実施例から第5の実施例においては明記していないが、手順の容易さの点から、nエミッタ層13形成、メサエッチ、p+領域141形成の順が好ましい。しかし、この実施例のようなプレーナ構造においては、nエミッタ層13とp+領域141の形成順はどちらでも同様である。ただし、nエミッタ層13の拡散深さがp+領域141の拡散深さよりも浅いことから、好ましくはp+領域141を先に形成している方が望ましく、この実施例でもp+領域141を先にボロン等の不純物の拡散等により形成し、次にnエミッタ層13を隣等の不純物拡散により形成後、酸化膜5を形成する。次にnエミッタ層13上の酸化膜5にコンタクト用の窓をnエミッタ層より一回り小さい形状に形成し、n型多結晶層21をCVD法などにより形成後所定の形状にエッチングした。再度酸化膜あるいはその他の絶縁膜を形成し、p+領域141上に該領域よりも一回り小さい形状にコンタクト窓形成し、多結晶層21上にも該層よりも一回り小さい形状にコンタクト窓を形成し、カソード電極2とゲート電極4を形成した。この実施例では多結晶層21の形成を酸化膜5の形成後としているが、逆でも良い。しかし、一般に同一元素の多結晶と単結晶のエッチングの速度比は大きくないため、この実施例のようにプレーナ構造とするのは容易ではなく、多結晶層をマスクとしてメサエッチングを施したのと同様の構造となりやすい。この場合、構造は従来の多結晶層を電極に用いたものと同一の構造であり、本発明の目的を達しない。従って、この実施例のように、酸化膜5を形成後多結晶層21を形成することが望ましい。また、多結晶層21を形成後、再度酸化膜等を形成する前に、その前に形成されて

いた酸化膜を除去してもよい。

【0017】この実施例のように高耐圧大電流GTOでプレーナ構造を実現できたが、それは多結晶層21を設けたことに原因している。即ち、カソード電極2はパッケージのポスト電極（図示していない）により加圧されるが、該ポスト電極はゲート取り出し領域を除き段差がなくほぼ平坦な円盤あるいはドーナツ盤の形状となっている。従って、全てのセグメント上のカソード電極はほぼ一様に加圧される。プレーナ構造にした場合の問題点は、ゲート電極4がカソード電極2とほぼ同じ高さになるため、ゲート電極4もカソードポスト電極に接してしまうことである。これを防ぐにはゲート電極4の厚みとカソード電極2の厚みを十分異なるようにすることである。しかし、A1電極は加圧により変形し易いために、長時間の使用の後にはカソード電極2とゲート電極4との厚みの違いが次第に減少し、ついにはカソードポスト電極がゲート電極4に接してしまうことがあり得る。従って、加圧による変形の少ない材料でゲート電極4とカソード電極2に高さの違いをつくりだす必要がある。この実施例における多結晶層2はその役目も果たしている。すなわち、カソード電極2とnエミッタ層13の間に設けられた多結晶シリコン層21の厚さの加圧による変化は、単結晶シリコンの場合とほとんど同じである。従って、多結晶層21の厚さが十分あれば、電極高さに対する加圧の効果は、従来のメサ型GTOとほとんど同様である。この実施例では多結晶層21の厚さを10マイクロメートルに設定した。これによりプレーナ構造であっても、カソードポスト電極がゲート電極4に接することは生じなかった。多結晶層21の厚さ最大でもは30マイクロメートル以下であることが望ましい。それ以上の場合、多結晶層21の抵抗が大きくなり損失が増加する。さらにはウエハの反りも大きくなる。

【0018】更に上述の第1から第4の実施例で述べた如く、多結晶層21は所定の形状にエッチングされているので、加圧によるカソード電極2の拡がりに伴うG-K不良は見られなかった。また、従来のメサ型GTOではエッチングにばらつきがあるため、ゲート電極4とカソード電極2の間隔には大きなマージンが必要であった。しかし、本実施例ではプレーナ型としたことでエッチングが不用になり作製工程が短縮されるとともに、ゲート電極4とカソード電極2をより近付けることができ、ゲート抵抗を小さくできるので破壊耐量が向上し得る。

【0019】〔実施例6〕図7は本発明GTOの第6の実施例を示す概略断面図である。図6の実施例とはp+領域141の一部141aを一方の主表面11から離れたpベース層14内部でnエミッタ層13の下方に向かって延ばした所謂埋め込みゲート構造にした点で相違している。この構成にすることにより、図6の実施例に比較して遮断耐量をさらに向上させることができる。この

実施例においても、G-K不良を起こすことがなくかつ破壊耐量の著しい改善が図れ可制御電流も向上した。

【0020】〔実施例7〕図8は本発明GTOの第7の実施例を示す概略断面図である。図7の実施例とは、埋め込み層141aをnエミッタ14の直下全面に設けた点で相違している。本実施例でも上記実施例と同様の効果が見られた。

【0021】〔実施例8〕図9及び図10は本発明GTOの主要部を拡大して示した概略部分断面図である。第5の実施例で述べた如く、酸化膜5と多結晶層21の形成手順は、多結晶層21と半導体基体1のエッチング速度比が大きく違わないため、本発明の主要素であるnエミッタ13とpベース層14を同一表面に設けた構成とすることが難しい。そのため酸化膜5を形成後、多結晶層21を形成し、これを所定の形状にするのが好ましい。その場合、多結晶層5を酸化膜5に設けられたコンタクト窓と同一の形状かつ同一の大きさで、さらに位置をコンタクト窓に正確に合わせることは容易ではない。従って、多結晶層21は完全にコンタクト窓を被っていることが望ましく、かつ合わせ精度の関係から多結晶層21のエッチング後の形状は図9ではなく、むしろ図10のようになっていると思われる。このような形状であっても、酸化膜5に生じたピンホール部へ加圧によってカソード電極2が拡がりかつ浸入することを、多結晶層21を設けることで防ぐという本発明の目的は十分達せられる。従って、第1の実施例から第7の実施例で示した多結晶層21と酸化膜5の関係及び後述する実施例における多結晶層21と酸化膜5の関係は、図9で示したような構造で説明しているが、図10のような構造であっても問題はない。

【0022】また、これまでの実施例ではnエミッタ層13の形成方法として、従来の不純物の堆積及びその熱拡散という工程をとったが、その他に低抵抗n型多結晶層21を不純物源としての熱拡散させる方法もある。一方、このような方法はnエミッタ層13を形成すべき場所に設けられた酸化膜5のコンタクト窓から、多結晶層21とセルフアラインでnエミッタ層を形成できるので、GTO製作用のマスク枚数を減らすことができる。従来の方法でnエミッタ層を形成した場合は、nエミッタ層13形成用マスク、コンタクト窓形成用マスク、多結晶層21用マスクが必要である。それに対しセルフアラインで形成すれば、nエミッタ層13形成用のマスクが不要になる。更に、本方式のようなセルフアラインを用いれば、nエミッタ層13の注入効率が低下する低濃度のnエミッタ層のプロファイルを、各セグメント間のばらつきを小さくして形成することが可能である。nエミッタ層の注入効率を低下させると限流作用が生ずることが知られているが、セルフアライン拡散法を用いれば、容易に達成することが可能である。逆にnエミッタ層の注入効率を高めたい場合は、nエミッタ層13を薄

くして急峻なプロファイルにすれば良い。このような場合であっても、十分低抵抗の多結晶層を形成し、短時間のセルフアライン拡散を用いれば容易に達成可能である。

【0023】〔実施例9〕図11から図17は本発明GTOの第9の実施例を示す概略断面図である。第1の実施例から第7の実施例は、何れもpnpn型GTOの例である。高耐圧GTOでは損失を低減するために、pnpn構造に代わりpnipn構造の適用が必要になる。この実施例における図11から図17の構造は、第1の実施例から第7の実施例に示したGTOのpnpnのnベース層15のアノード側にそれより低抵抗のバッファ層152を用いたpnipn構造を適用したGTOの例をそれぞれ示している。pnipn構造はpnpn構造に比べ、nベース層15を薄くできる反面破壊耐量が劣るという問題があった。しかし、この実施例に示したように、pnipn構造を本発明GTOに適用することにより、pnipn構造の低損失という利点を損なうことなく破壊耐量を向上させることができる。更にこの実施例においても、pnpn構造の場合と同様G-K不良は発生せず良好なターンオフ特性が得られる。更にnエミッタ層13を多結晶層21からのセルフアライン拡散で形成することにより、マスク枚数の低減が図れ工程の短縮が図れる。pnipn構造ではnバッファ層152の形成という工程が追加されるために、カソード側での工程の短縮は大きな効果を有する。

【0024】〔実施例10〕図18から図20は本発明GTOの第10の実施例を示す概略断面図である。この実施例はアノード短絡を有しないpnpn構造型のGTOに本発明を適用した例である。アノード短絡を有しない場合であっても、本発明の効果に変えることはなく、優れた破壊耐量を示すとともに、G-K不良の発生も防止できる。更にnエミッタ層13を多結晶層21からのセルフアライン拡散で形成することにより、マスク枚数の低減が図れ、工程を簡略できた。

【0025】〔実施例11〕図21から図26は本発明をSIサイリスタに適用した第11の実施例を示す概略断面図である。図21はカソード面にnエミッタ層13とnベース層15が存在する場合の例である。この場合はカソード電極2がpベース層14とショートするという問題はないため、本発明の主目的であるG-K不良対策の例ではない。むしろ多結晶からのセルフアライン拡散でnエミッタ層13を形成した効果が大きい。即ち、マスク枚数の低減が図れるのである。

【0026】本発明の効果が大きいのは、図22から図24のようなメサの側面にpベース層14が形成された場合、及び図25と図26のようなプレーナ型の場合である。メサの側面にpベース層14が形成された場合は、カソード面にnエミッタ層13とnベース層15の他にpベース層14も存在し、第2の実施例と第3の実



施例に示したのと同様カソード電極2とpベース層14がショートする問題が考えられる。従って、本発明の多結晶層によるG-K不良対策が効果を表すのである。更に、上述した多結晶からのセルフアライン拡散によるnエミッタ層13の形成法を採用すれば、マスク枚数の低減の効果があり、薄型nエミッタ層の形成も容易にできる。

【0027】また、図25と図26のようなプレーナ型SIサイリスタの場合は、第5及び第6の実施例と同様の効果を有する。更に、セルフアライン拡散によるnエミッタ層13の形成により、上述した場合と同様にマスク枚数の低減の効果があり、薄型nエミッタ層の形成も容易にできる。

【0028】なお、これらの実施例ではアノード短絡がない場合で説明したが、アノード短絡を有するSIサイリスタでも、本明は同様の効果を有する。

【0029】〔実施例12〕図27から図40は本発明をGTOに適用した第12の実施例を示す概略断面図である。発生再結合中心153をnベース層のアノード側、特に電流遮断時における空乏層の外側に設けることにより、ターンオフ損失が著しく低減する。そこで、本発明の破壊耐量に優れ、G-K不良のない構造に損失低減効果を付加したのがこの実施例である。局在した発生再結合中心を導入する方法としては、例えば水素原子打ち込みや $\alpha$ 線照射などがある。この実施例では、第1の実施例から第7の実施例及び第9と第10の実施例に記載の素子をそれぞれ作製し、更に端面処理を施した後、まず $\gamma$ 線あるいは電子線を照射して素子のライフタイムを所定の値に設定した後、水素原子をアノード面から打ち込み、局在する発生再結合中心を形成した。 $\gamma$ 線ないし電子線照射後、素子のライフタイムを測定し、場合によっては再度照射し、あるいは照射後アニール処理を施して調整した。発生再結合中心形成後、素子の電気特性を測定し、所定の特性になるようにアニール処理を施した。これらの処理により、破壊耐量とスイッチング特性に優れ、かつG-K不良のないGTOを実現できた。

【0030】〔実施例13〕図41は本発明をGTOに適用した第13の実施例を示す2つのセグメントのカソードパターン図であり、カソード側から見た場合のnエミッタ層などの各層の配置を明瞭にするために示したものである。また、図42はGTO全体のセグメントの配置を示した図である。各セグメントの縦断面構造は、図1から図40に示したものと同一である。図41において51はゲート電極5とのコンタクト窓、211はn型多結晶層21とのコンタクト窓である。ハッチングが施されていない部分、すなわちコンタクト窓が形成されていない部分には酸化膜などの絶縁膜が形成されている。簡単のために、メサ型素子の場合もメサエッチの部分は省略した。この実施例からわかるように、多結晶層の

ンタクト窓を最も内側として、nエミッタ層13、pベース層14、p+領域141が同心形状に配置されており、この配置は第1から第12の実施例に記載した素子で共通のものである。この実施例では2つのセグメントのみを示したが、実際の素子では多数個のセグメントが配置された構造となっている。例えば、図42のように各セグメントは放射状、同心円状に配置されている。またこの実施例では、ゲート取り出しをセンターゲートとしている。なお図においては、簡単のためにカソード電極2のみを示している。セグメントの配置法は図42のような放射状だけではなく、カソード電極2が平行に配置された複数のブロックから成るものや、非同心、非放射状なども考えられるが、本発明の効果は同様に作用した。

#### 【0031】

【発明の効果】以上詳述したように本発明によれば、nエミッタ層上のn型多結晶層を設けたので、破壊耐量の優れた構造における、加圧によるカソード電極のpベース層あるいはp+領域とのショートの問題が解決されるので、信頼性の高い素子を提供できるとともに、G-K不良を生じたセグメントを除去するという手間がなくなり、コストを低減できるという効果を持つ。

【0032】また本発明によれば、多結晶層とセルフアラインでnエミッタ層を形成できるので、マスク枚数を少なくでき、生産コストを抑えられるという効果を持つ。同時に多結晶層とnエミッタ層とのマスクずれの問題がないため、カソード面積を十分確保したまま、p+領域とnエミッタ層をより接近して設けることができ、ゲート抵抗をより小さくできるという効果を持つ。さらにnエミッタ層を低濃度にもできるため、限流作用を持たせることができ、破壊耐量を極めて大きくできるという効果を持つ。あるいはnエミッタ層を一様に薄型にできるために、イオン打ち込み法で埋め込み構造を形成する場合であっても、打ち込みエネルギーを小さくでき、エミッタ層に損傷をほとんど与えずに済む。従ってエピタキシャル法を用いる必要がなくなり、低コストになるとともに、各セグメントで一様な埋め込み構造を容易に作製できるという効果を持つ。

【0033】さらに本発明では、多結晶層を設けることによりnエミッタ層とpベース層をプレーナ構造にできるため、第1にメサエッチングが不用になり、低コストになるという効果を持つ。第2にnエミッタ層の幅ばらつきの問題がなくなり、ゲート電極とカソード電極をより接近して設けることができ、ゲート抵抗をより小さくできるという効果を持つ。

#### 【図面の簡単な説明】

【図1】本発明をメサ型pnpn構造のGTOに適用した第1の実施例を示す概略縦断面図である。

【図2】図1のGTOの作用効果を説明するための部分断面図である。



【図3】本発明をメサ型 $pnpn$ 構造のGTOに適用した第2の実施例を示す概略縦断面図である。

【図4】本発明をメサ型 $pnpn$ 構造のGTOに適用した第3の実施例を示す概略縦断面図である。

【図5】本発明をメサ型 $pnpn$ 構造のGTOに適用した第4の実施例を示す概略縦断面図である。

【図6】本発明をプレーナ型 $pnpn$ 構造のGTOに適用した第5の実施例を示す概略縦断面図である。

【図7】本発明をプレーナ型 $pnpn$ 構造のGTOに適用した第6の実施例を示す概略縦断面図である。

【図8】本発明をプレーナ型 $pnpn$ 構造のGTOに適用した第7の実施例を示す概略縦断面図である。

【図9】本発明を適用したプレーナ型GTOの概略部分縦断面図である。

【図10】本発明を適用した異なるプレーナ型GTOの概略部分縦断面図である。

【図11】本発明をメサ型を $pni pn$ 構造に適用した実施例を示す概略縦断面図である。

【図12】本発明をメサ型を $pni pn$ 構造に適用した異なる実施例を示す概略縦断面図である。

【図13】本発明をメサ型を $pni pn$ 構造に適用した更に異なる実施例を示す概略縦断面図である。

【図14】本発明をメサ型を $pni pn$ 構造に適用した別の実施例を示す概略縦断面図である。

【図15】本発明をプレーナ型を $pni pn$ 構造に適用した実施例を示す概略縦断面図である。

【図16】本発明をプレーナ型を $pni pn$ 構造に適用した異なる実施例を示す概略縦断面図である。

【図17】本発明をプレーナ型を $pni pn$ 構造に適用した更に異なる実施例を示す概略縦断面図である。

【図18】第1の実施例を非アノード短絡型GTOに適用した例を示す概略縦断面図である。

【図19】第2の実施例を非アノード短絡型GTOに適用した例を示す概略縦断面図である。

【図20】第5の実施例を非アノード短絡型GTOに適用した例を示す概略縦断面図である。

【図21】本発明をメサ型のSIサイリスタに適用した実施例を示す概略縦断面図である。

【図22】本発明をメサ型のSIサイリスタに適用した異なる実施例を示す概略縦断面図である。

【図23】本発明をメサ型のSIサイリスタに適用した更に異なる実施例を示す概略縦断面図である。

【図24】本発明をメサ型のSIサイリスタに適用した別の実施例を示す概略縦断面図である。

【図25】本発明をプレーナ型のSIサイリスタに適用した実施例を示す概略縦断面図である。

【図26】本発明をプレーナ型構造のSIサイリスタに

適用した異なる実施例を示す概略縦断面図である。

【図27】本発明をメサ型 $pnpn$ 構造のGTOに適用した実施例を示す概略縦断面図である。

【図28】本発明をメサ型 $pnpn$ 構造のGTOに適用した異なる実施例を示す概略縦断面図である。

【図29】本発明をメサ型 $pnpn$ 構造のGTOに適用した更に異なる実施例を示す概略縦断面図である。

【図30】本発明をメサ型 $pnpn$ 構造のGTOに適用した別の実施例を示す概略縦断面図である。

10 【図31】本発明をプレーナ型 $pnpn$ 構造のGTOに適用した実施例を示す概略縦断面図である。

【図32】本発明をプレーナ型 $pnpn$ 構造のGTOに適用した異なる実施例を示す概略縦断面図である。

【図33】本発明をプレーナ型 $pnpn$ 構造のGTOに適用した更に異なる実施例を示す概略縦断面図である。

【図34】本発明をメサ型 $pni pn$ 構造のGTOに適用した実施例を示す概略縦断面図である。

【図35】本発明をメサ型 $pni pn$ 構造のGTOに適用した異なる実施例を示す概略縦断面図である。

20 【図36】本発明をメサ型 $pni pn$ 構造のGTOに適用した更に異なる実施例を示す概略縦断面図である。

【図37】本発明をメサ型 $pni pn$ 構造のGTOに適用した別の実施例を示す概略縦断面図である。

【図38】本発明をプレーナ型 $pni pn$ 構造のGTOに適用した実施例を示す概略縦断面図である。

【図39】本発明をプレーナ型 $pni pn$ 構造のGTOに適用した異なる実施例を示す概略縦断面図である。

30 【図40】本発明をプレーナ型 $pni pn$ 構造のGTOに適用した更に異なる実施例を示す概略縦断面図である。

【図41】本発明適用したGTOのカソードパターンの概略図である。

【図42】GTO全体のカソードパターンの概略図である。

【図43】従来のメサ型 $pnpn$ 構造GTOの縦断面図である。

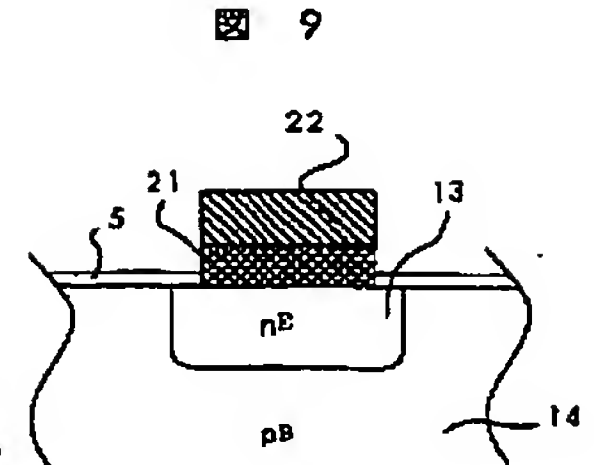
【図44】従来の他のメサ型 $pnpn$ 構造GTOの縦断面図である。

40 【図45】多結晶層をカソード電極に用いた従来のGTOの縦断面図である。

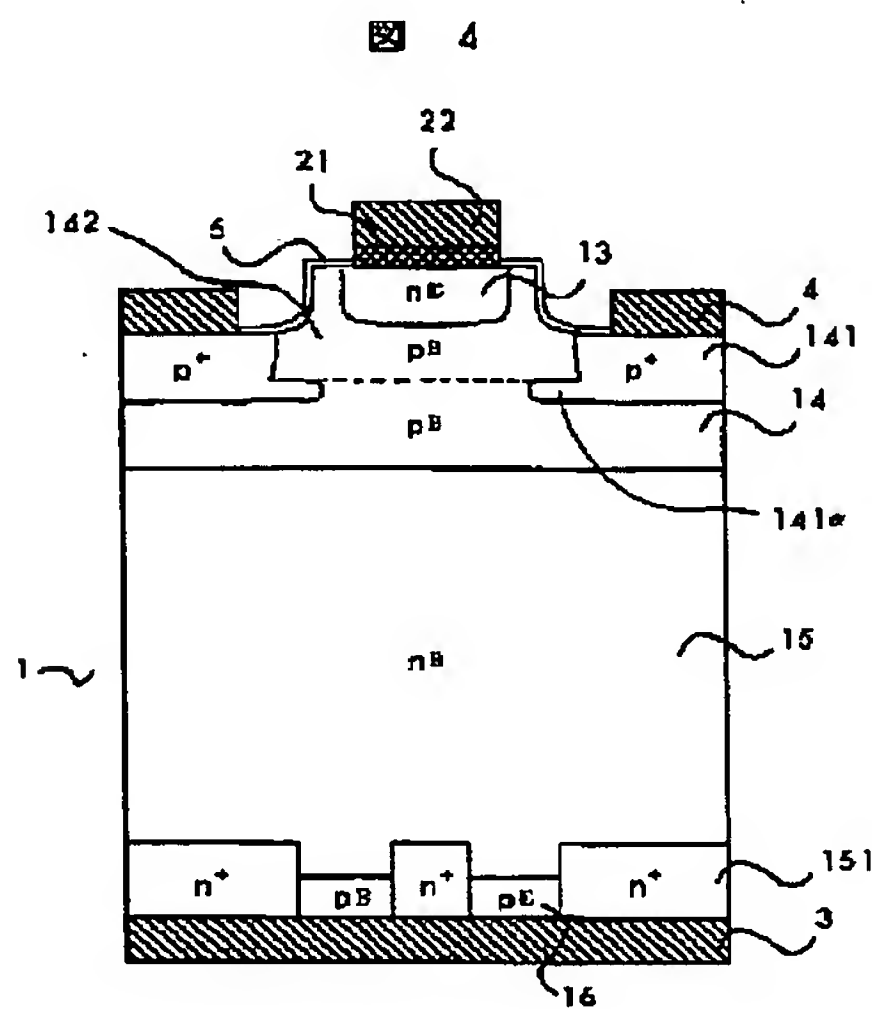
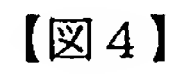
#### 【符号の説明】

1…半導体基体、13… $n$ エミッタ層、14… $p$ ベース層、141… $p^+$ 領域、15… $n$ ベース層、16… $p$ エミッタ層、2…カソード電極、21…多結晶層、22…金属層、3…アノード電極、4…ゲート電極、5…絶縁膜。

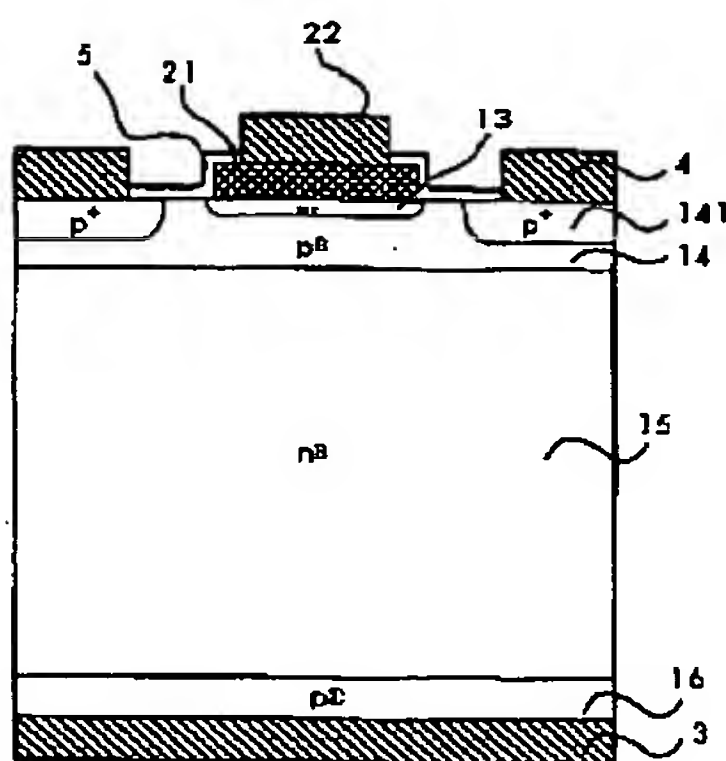
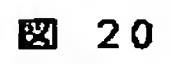
【图 9】



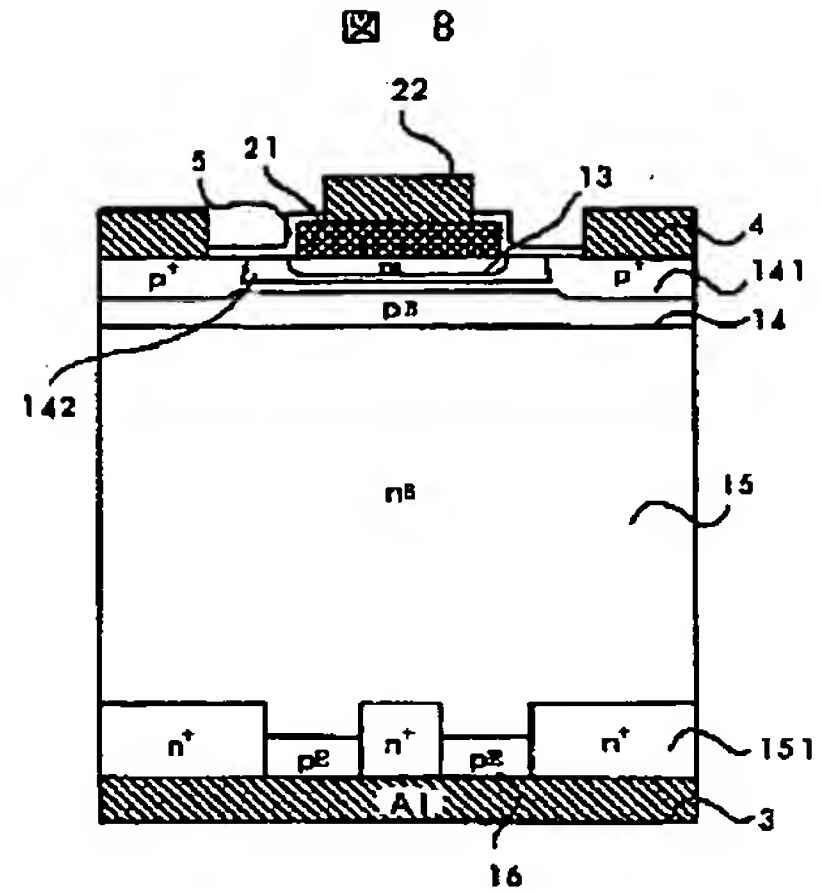
10



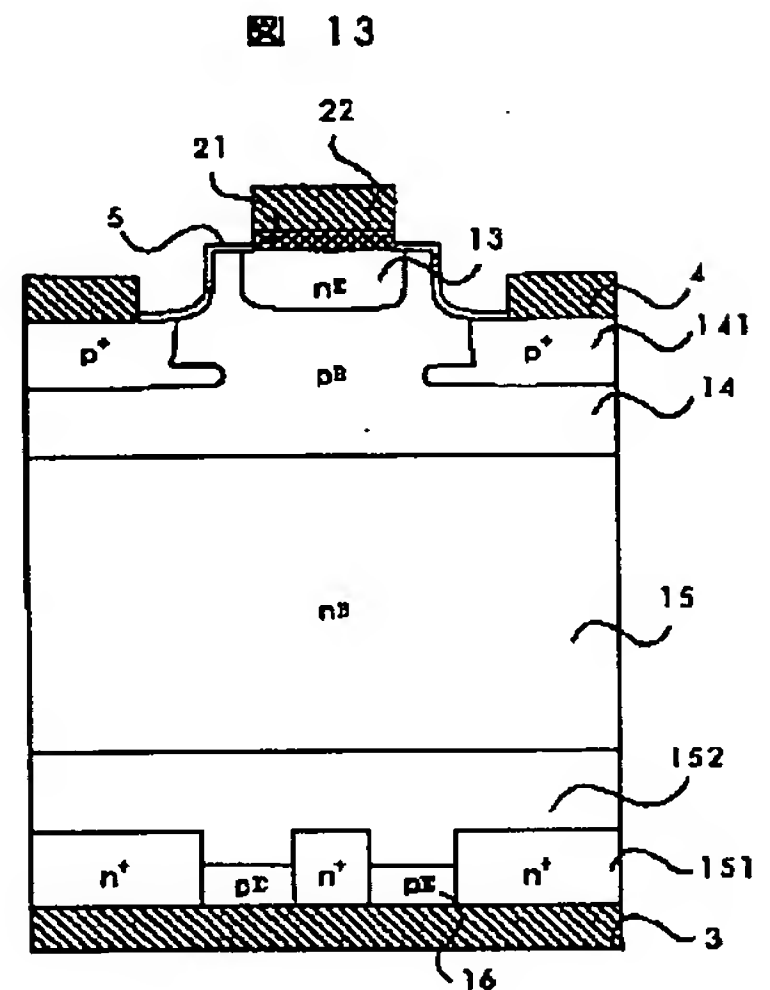
**5**



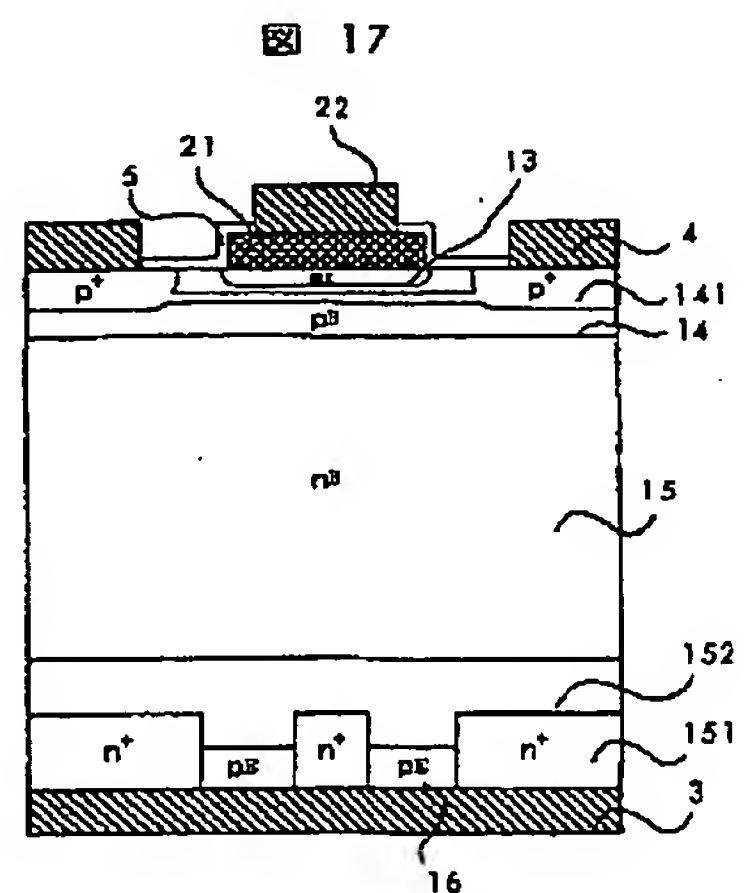
【图8】



【図 13】

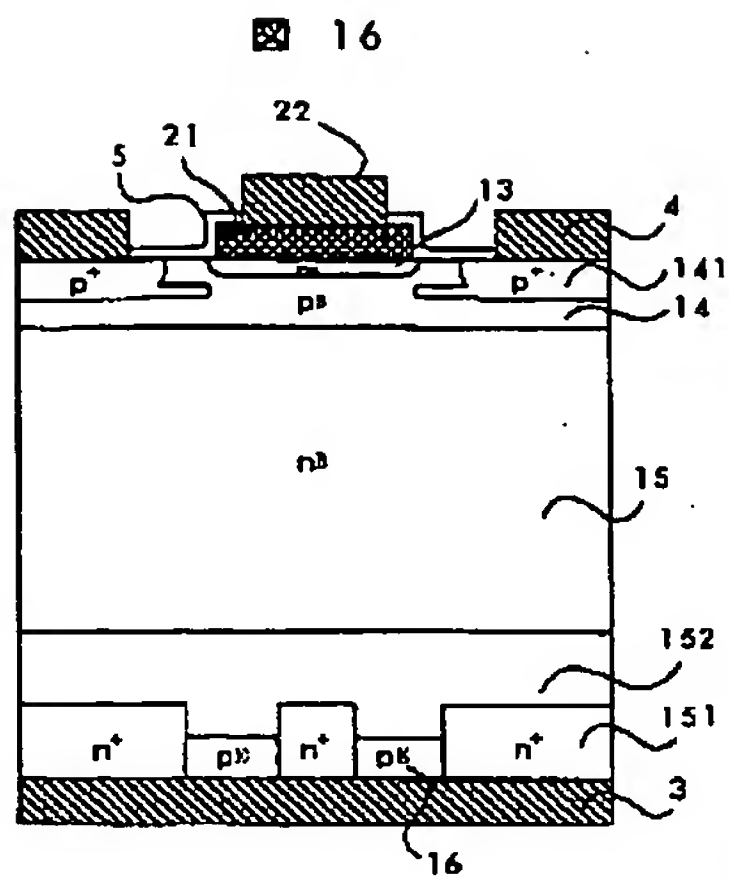


【図 17】

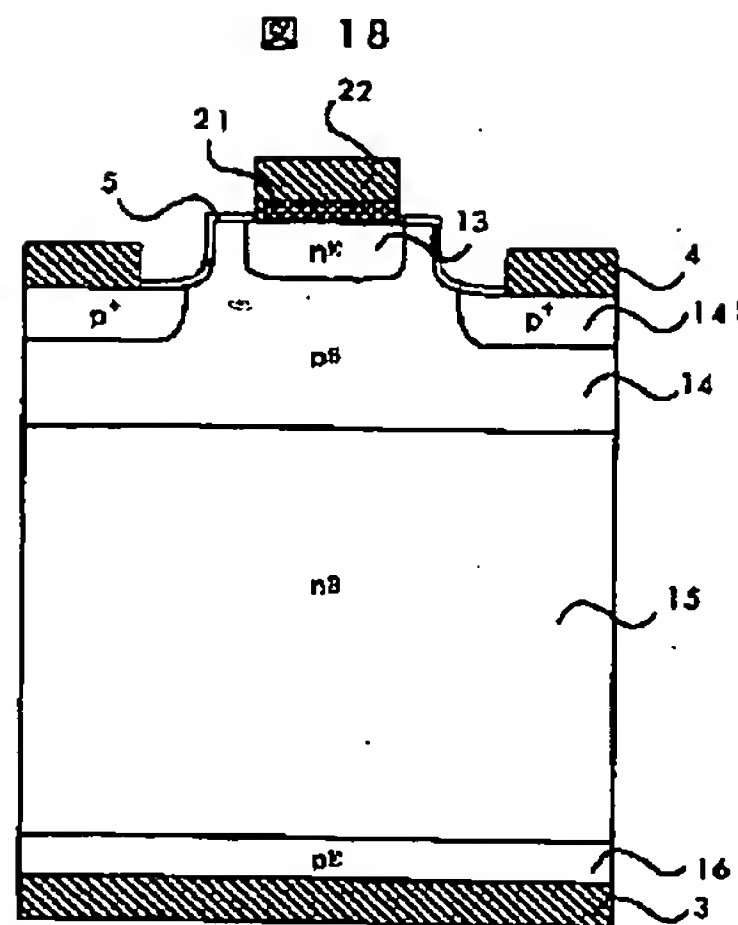




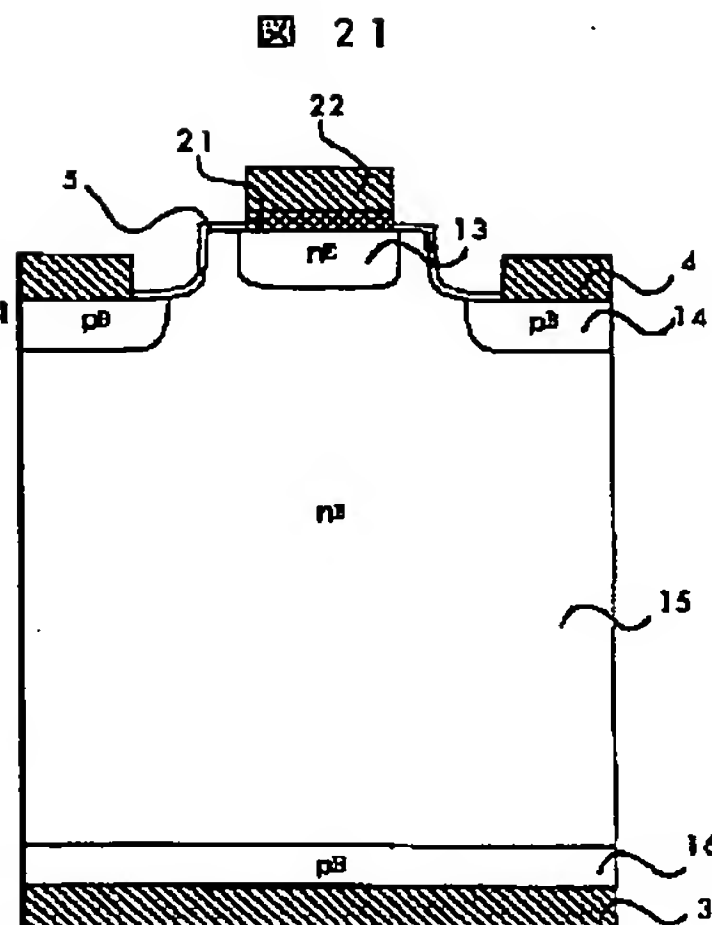
【図16】



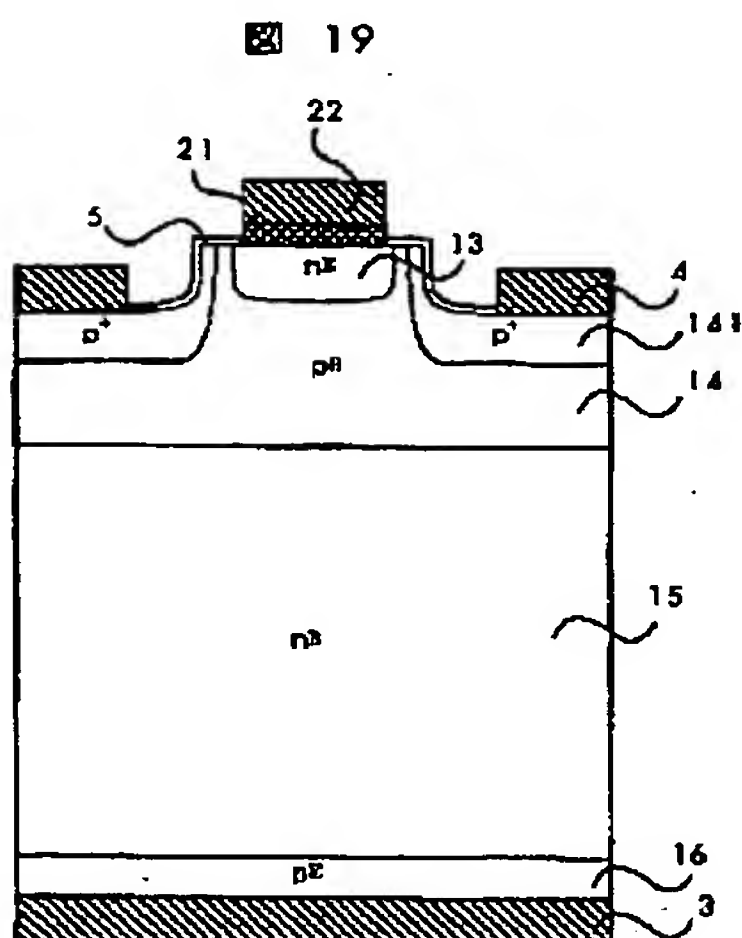
【図18】



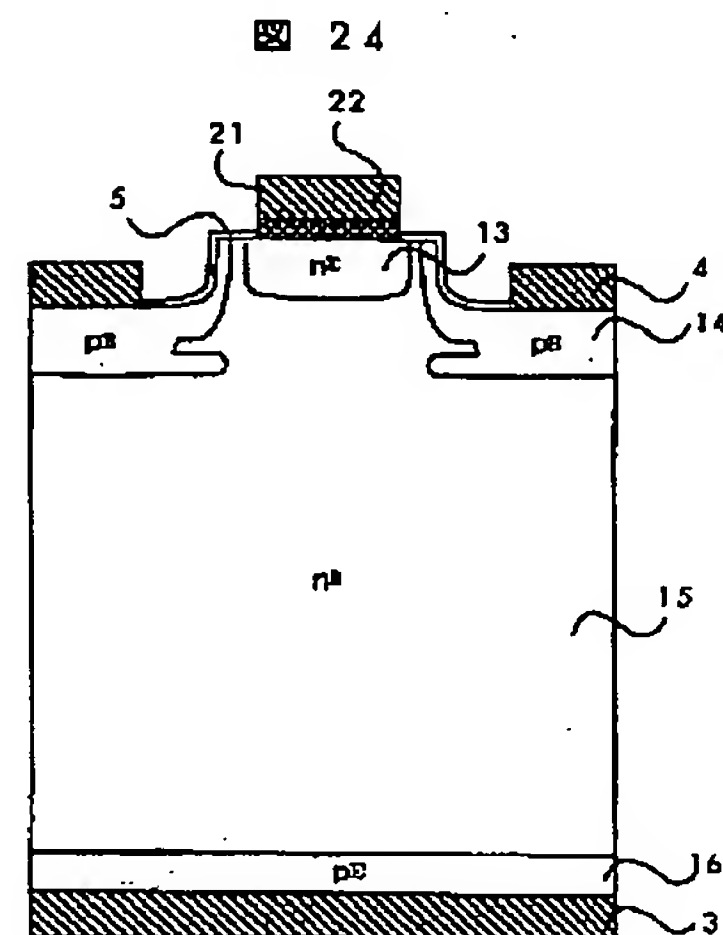
【図21】



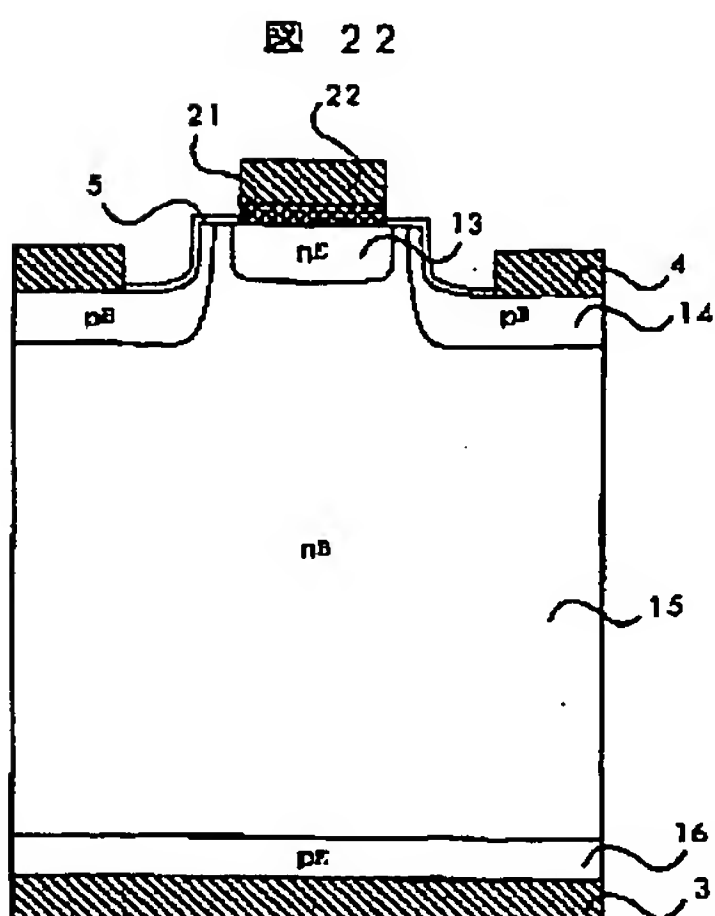
【図19】



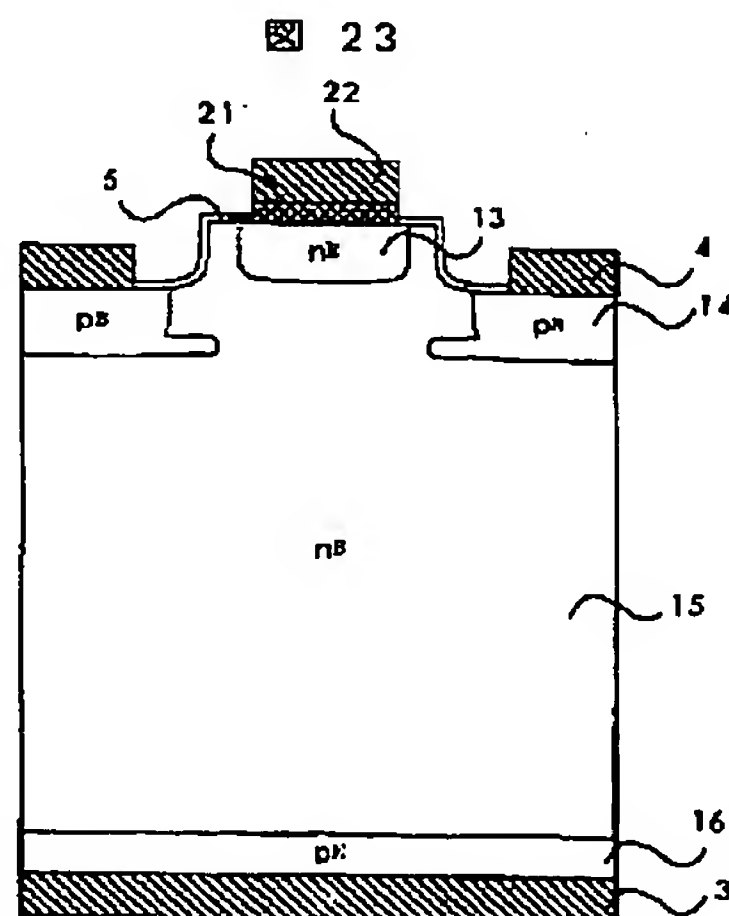
【図24】



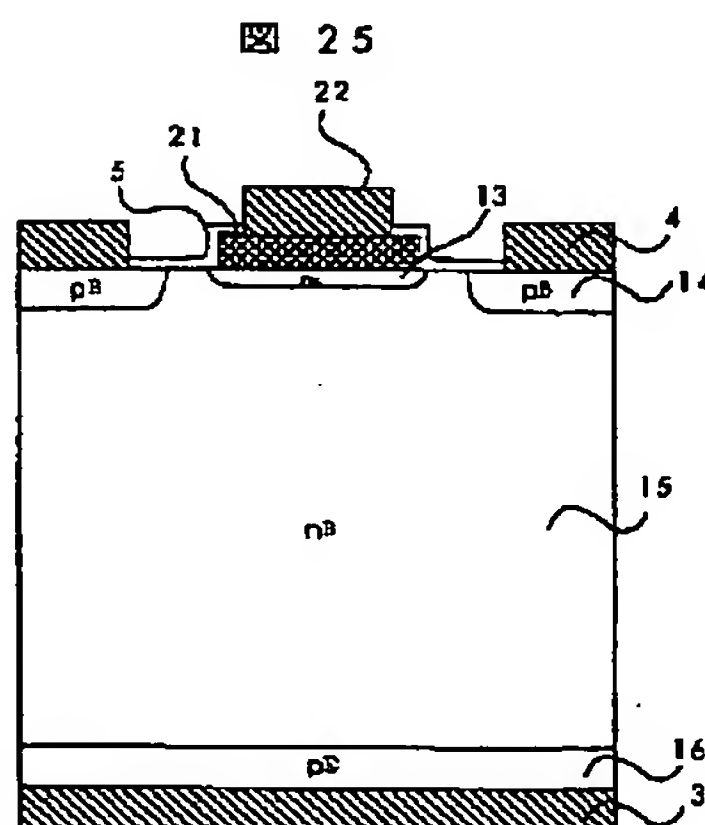
【図22】



【図23】

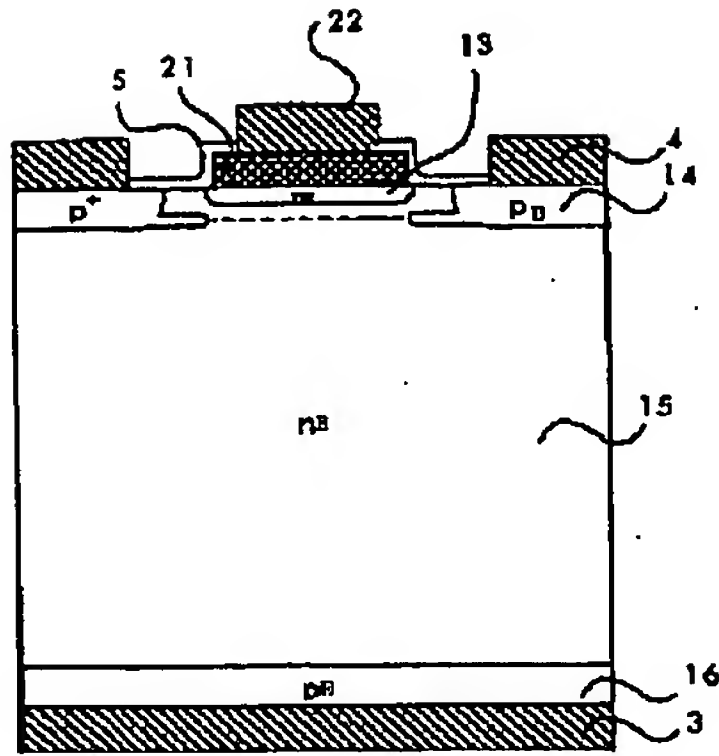


【図25】



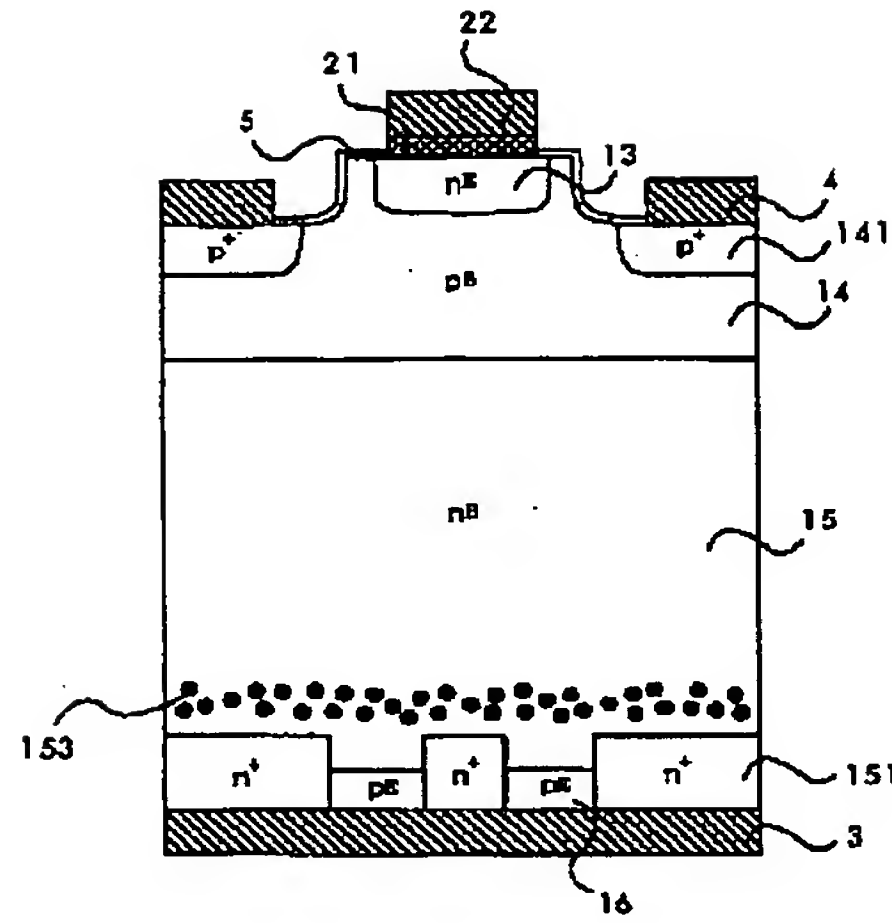
【図26】

図 26



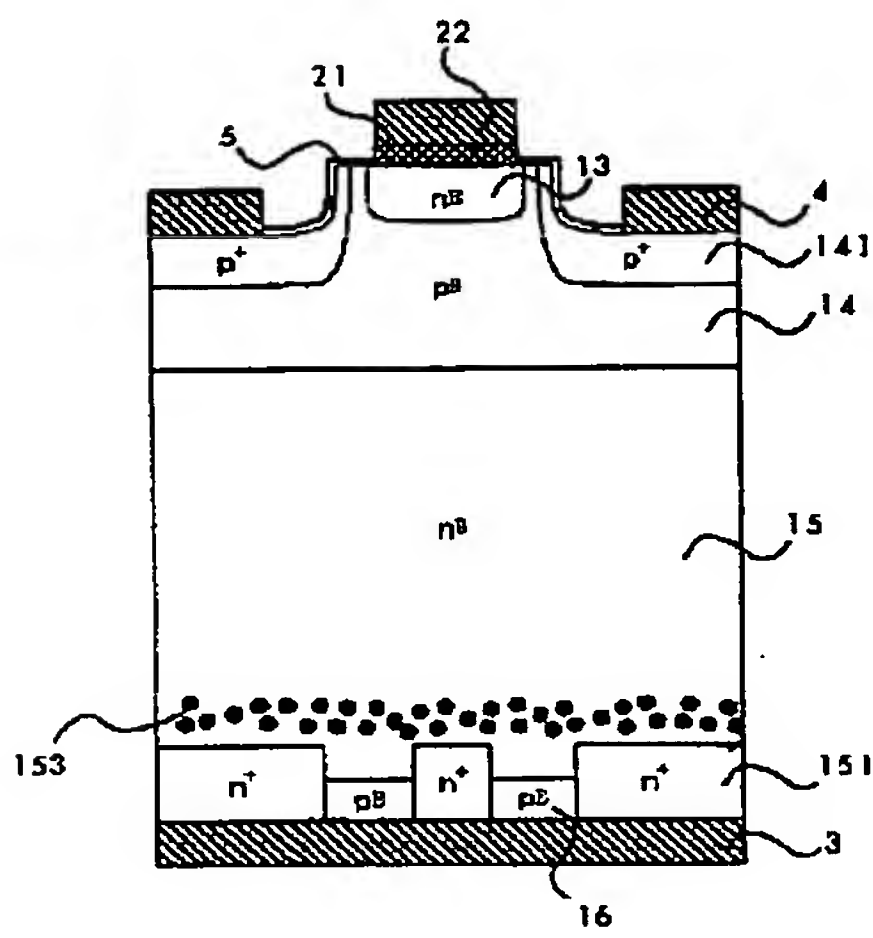
【図27】

図 27



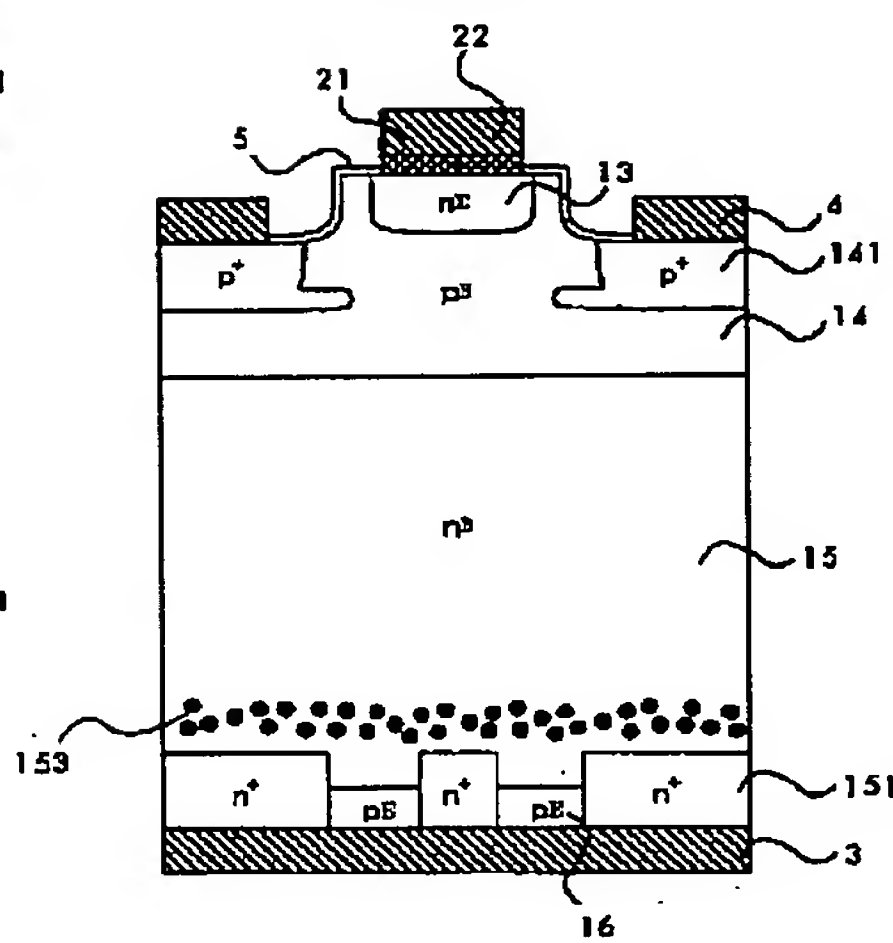
【図28】

図 28



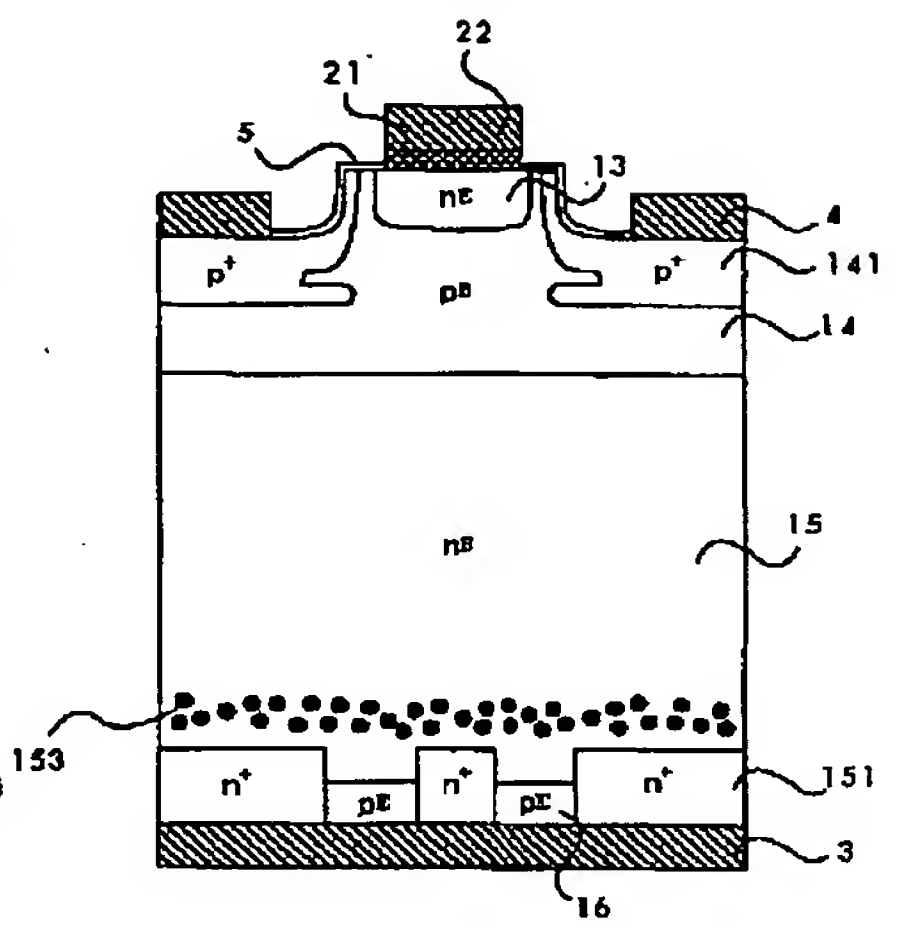
【図29】

図 29



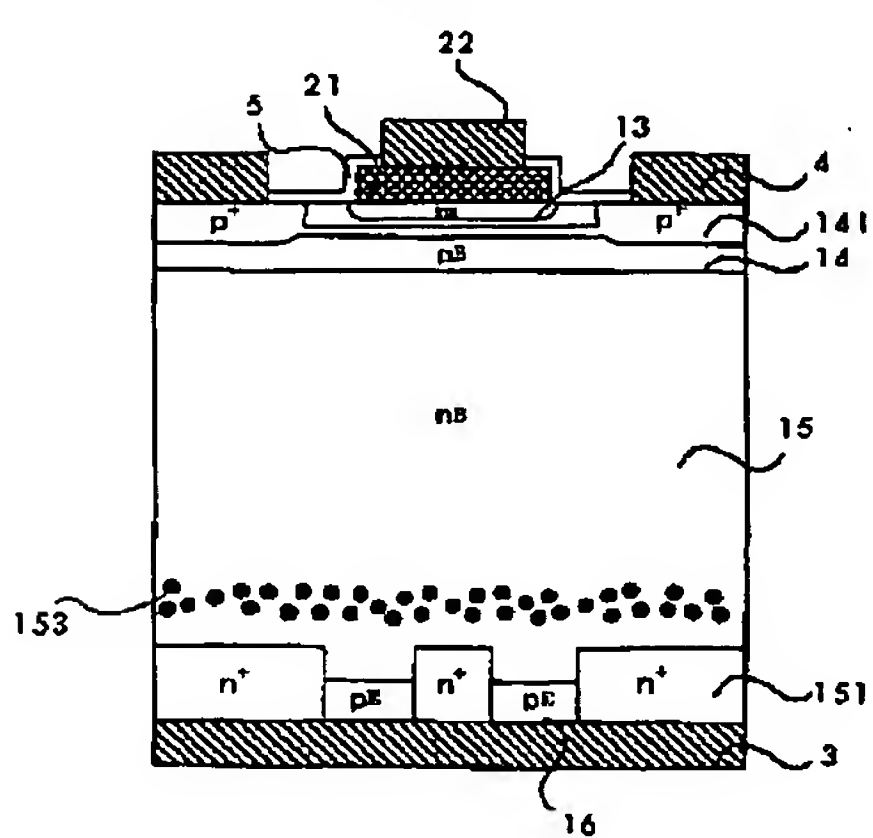
【図30】

図 30



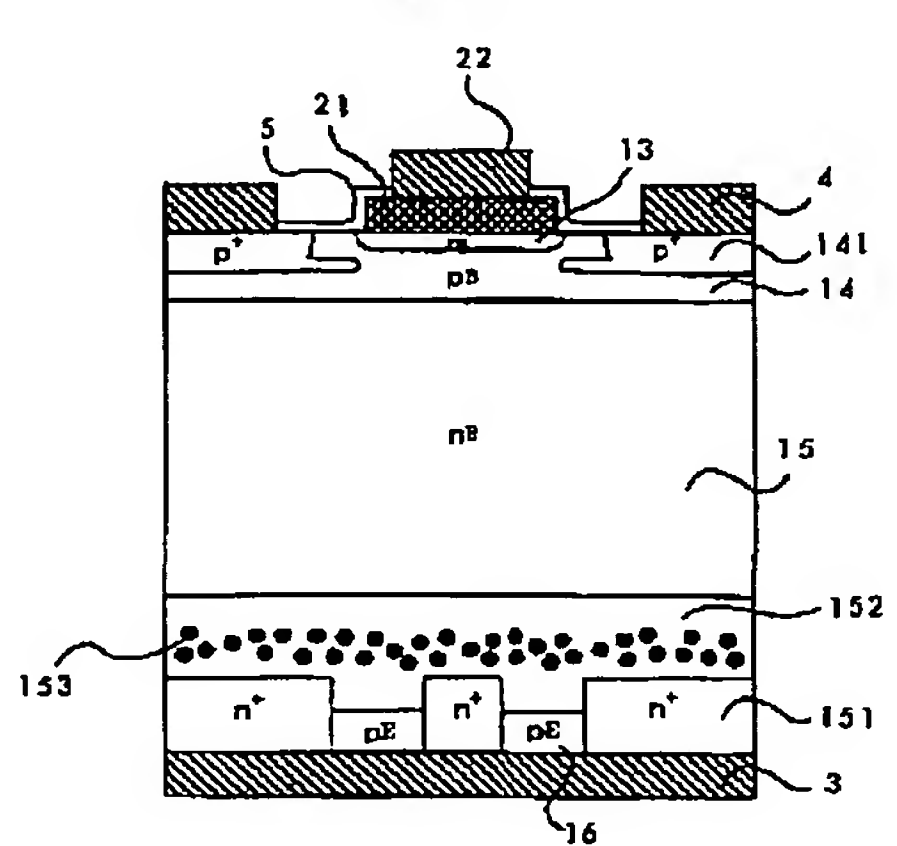
【図33】

図 33



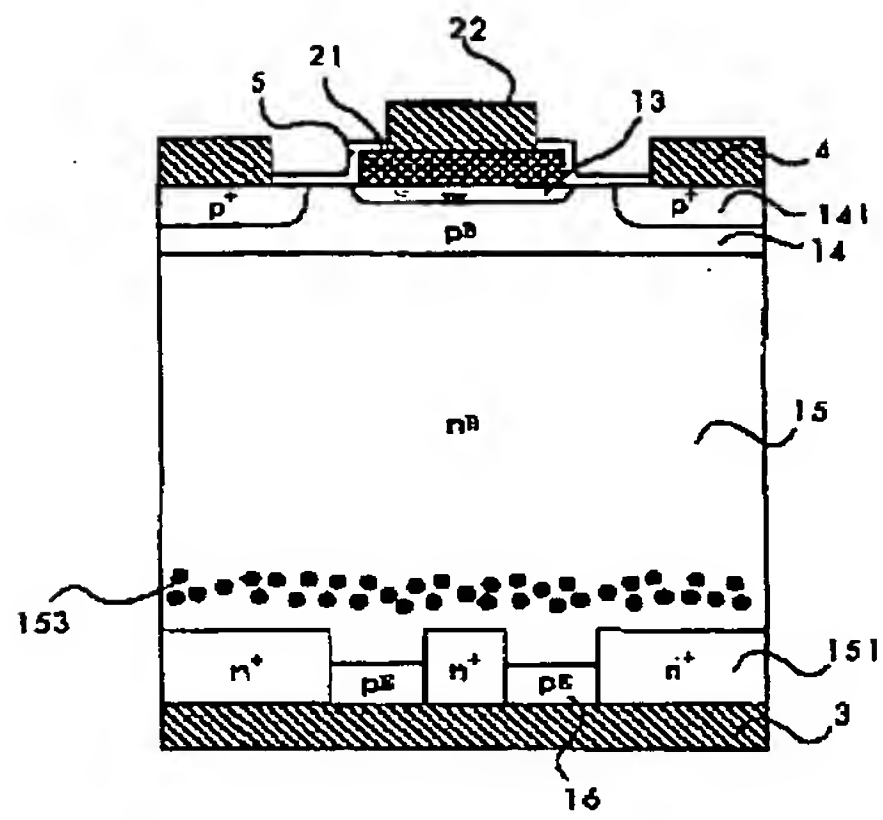
【図39】

図 39



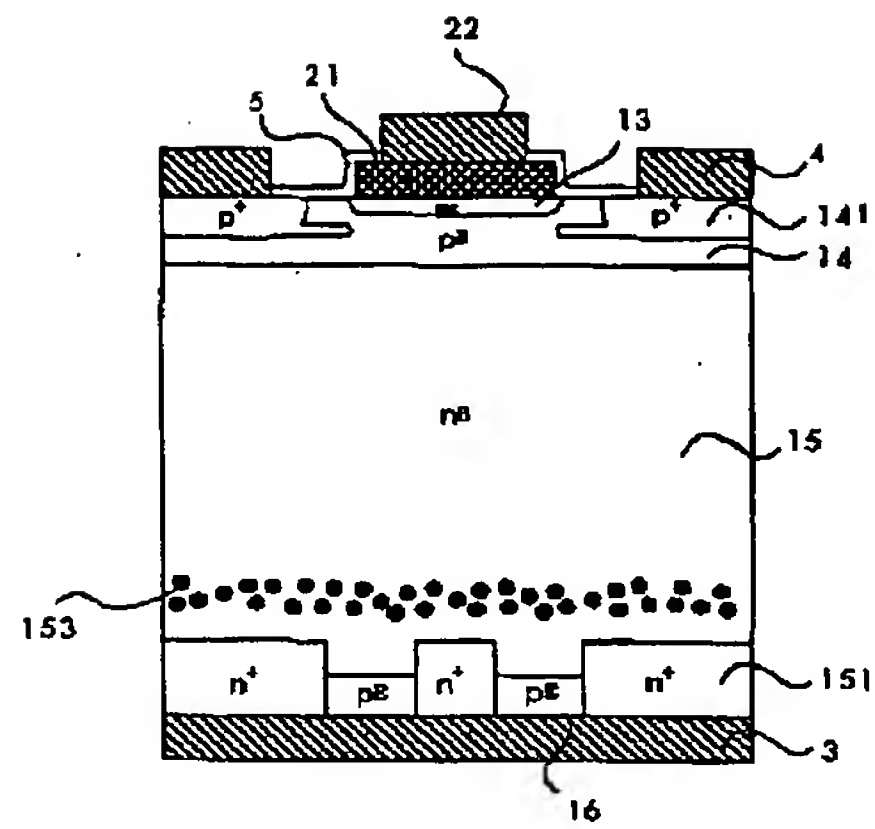
【図31】

図 31



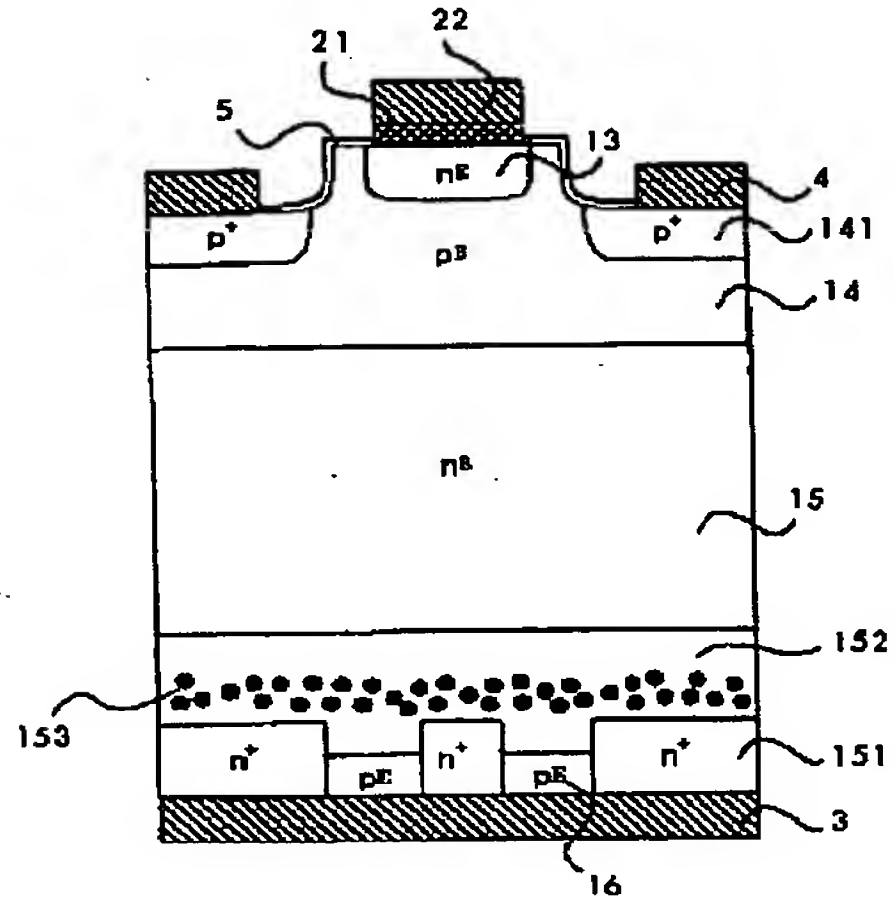
【図32】

図 32



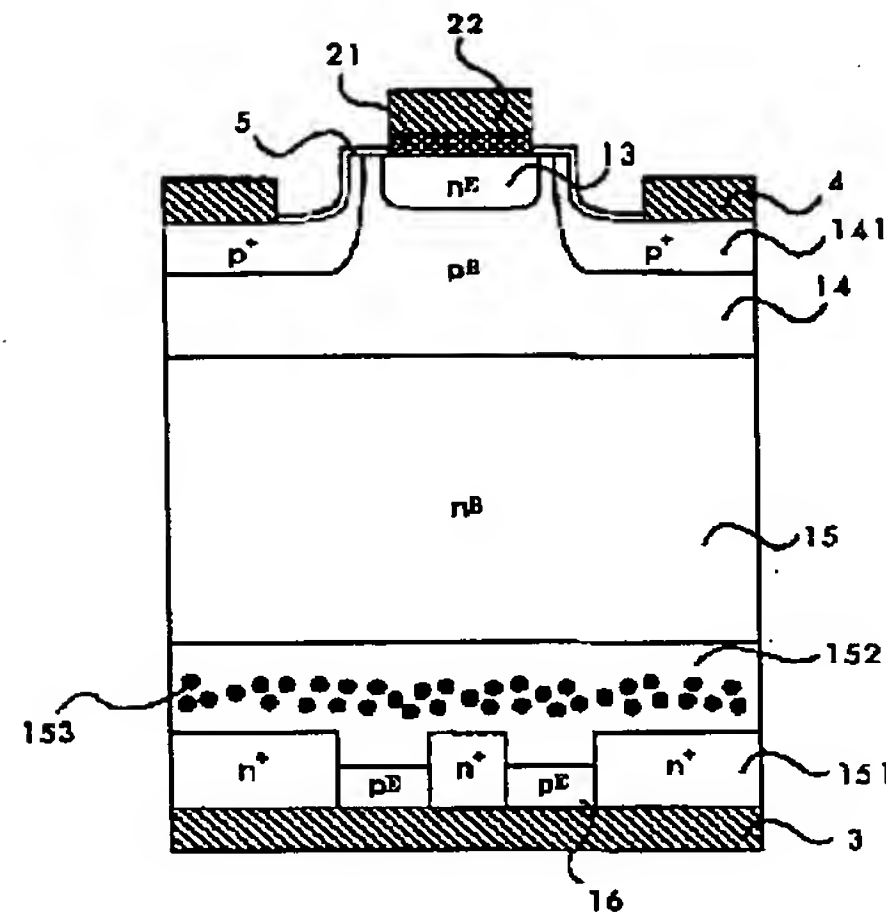
【図34】

図 34



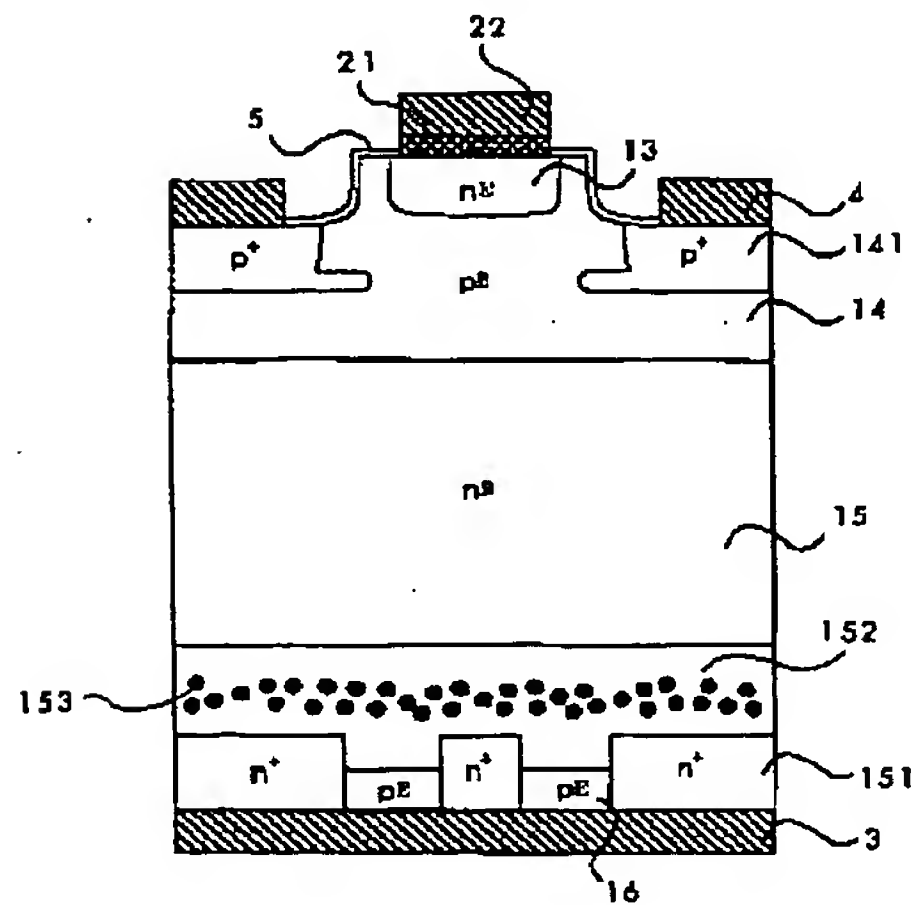
【図35】

図 35



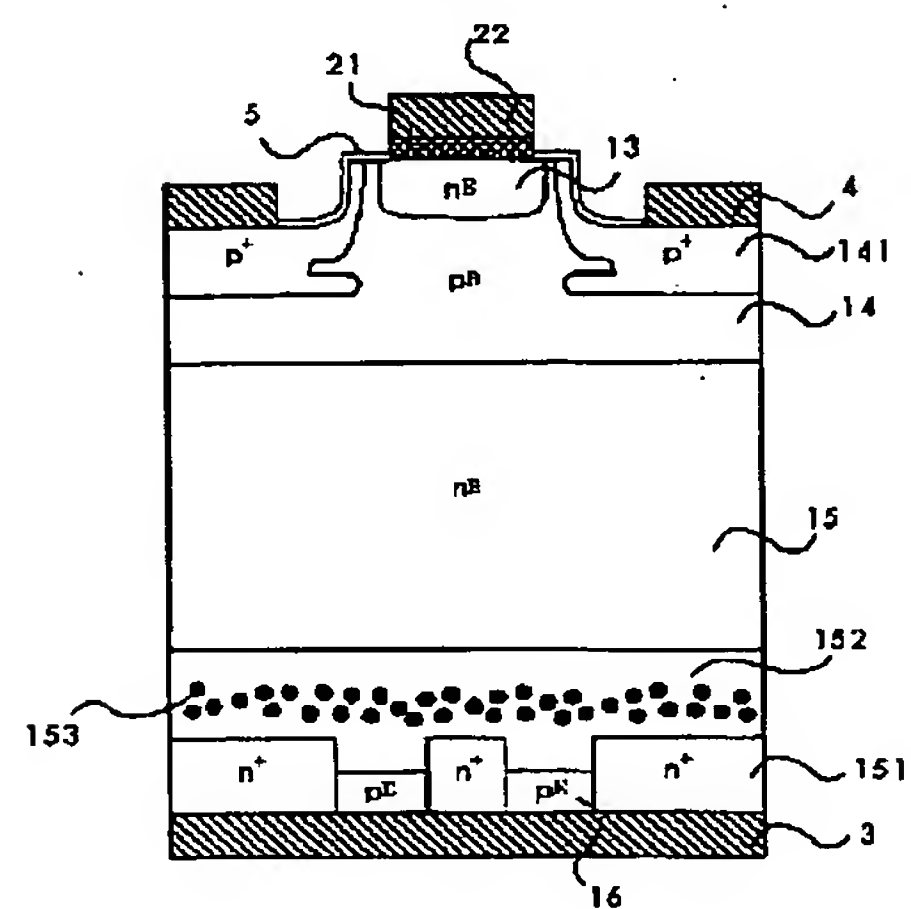
【図36】

図 36



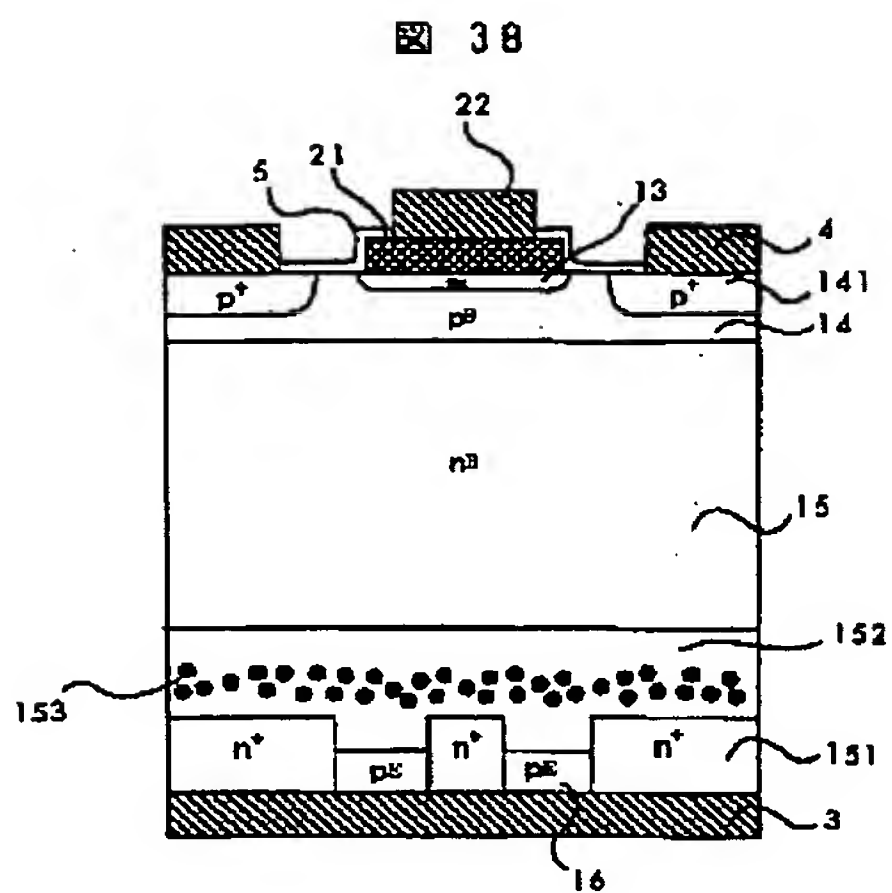
【図37】

図 37

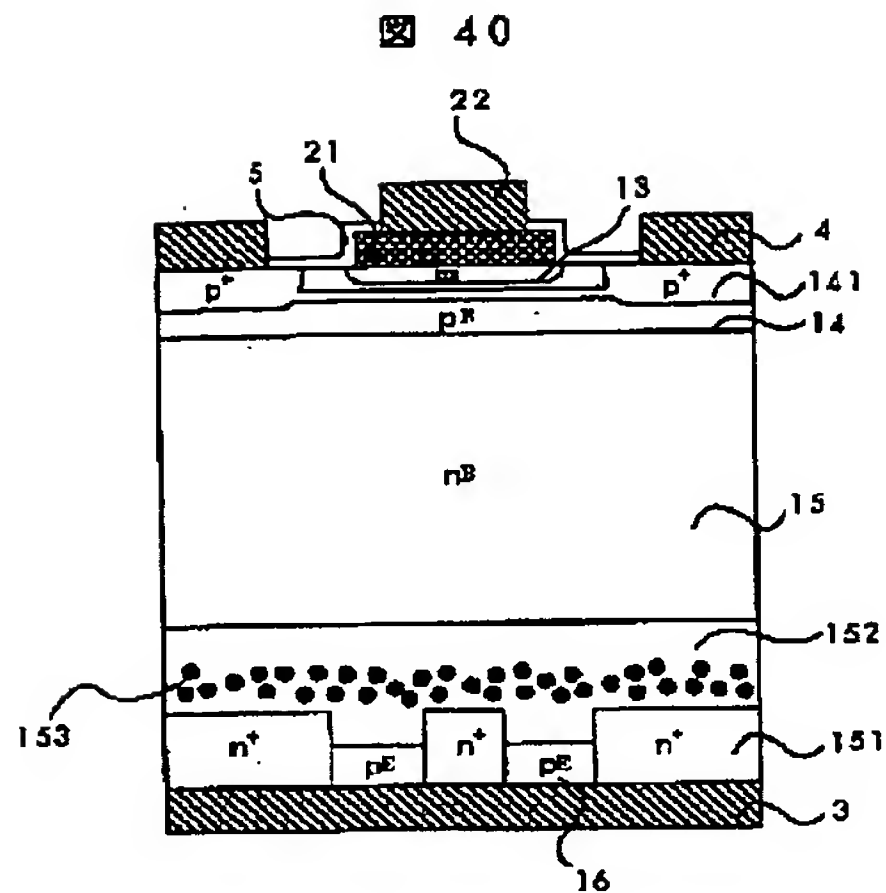




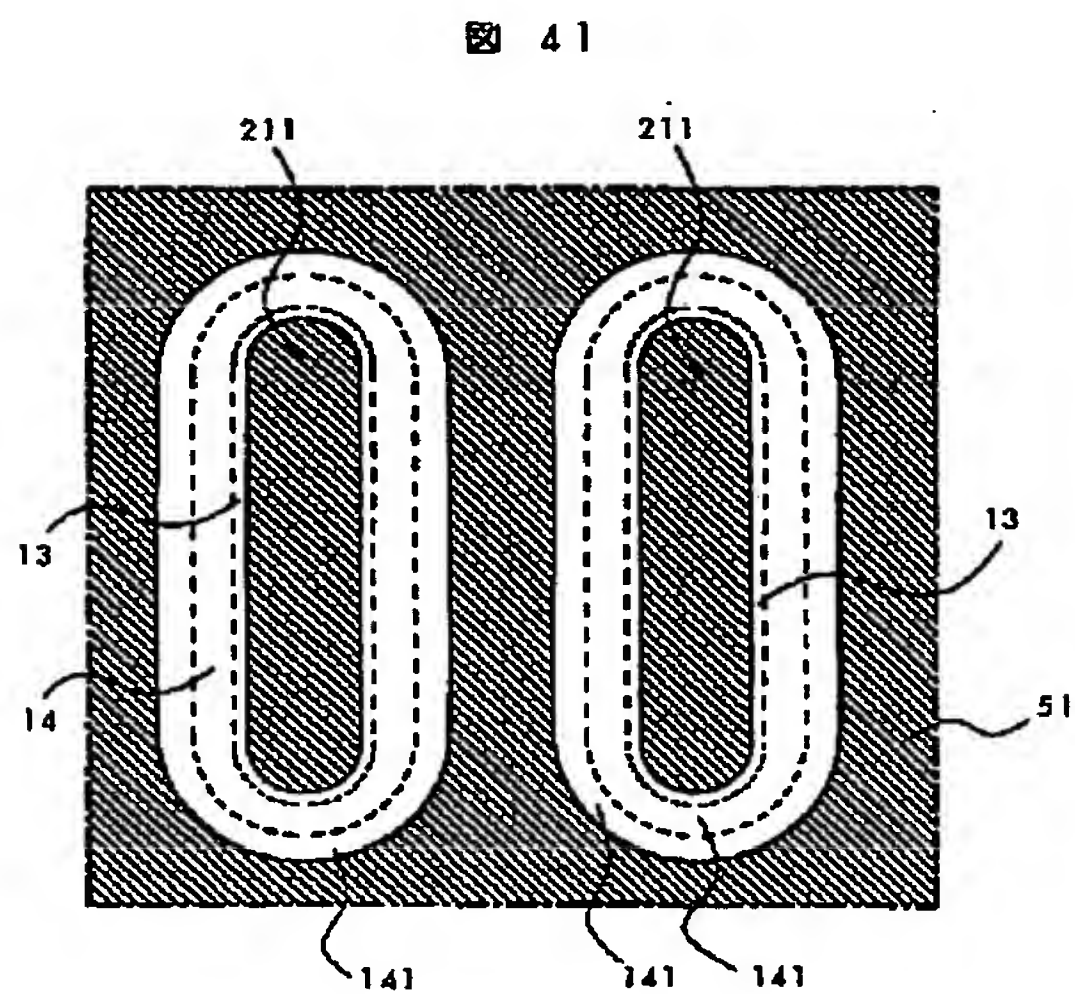
【図38】



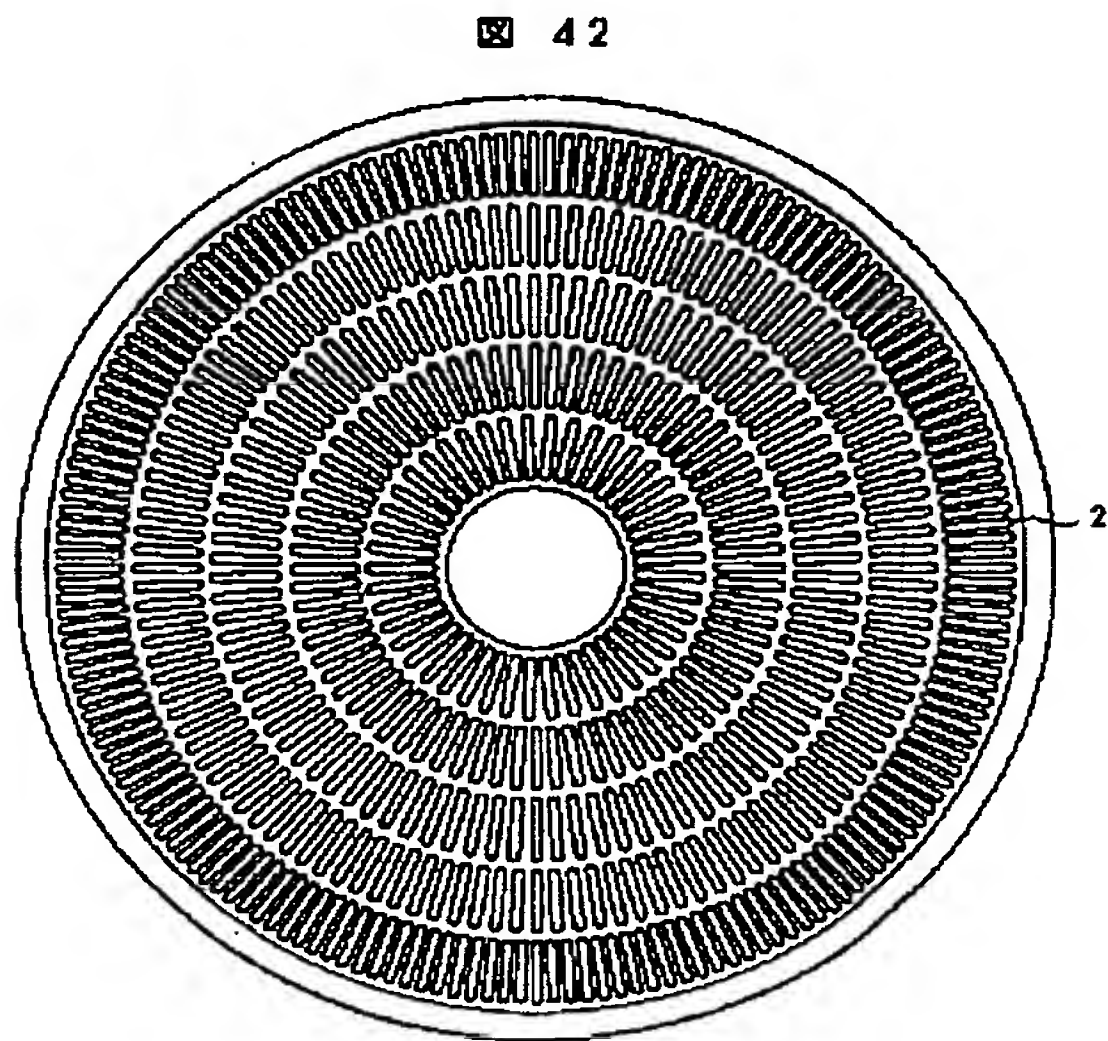
【図40】



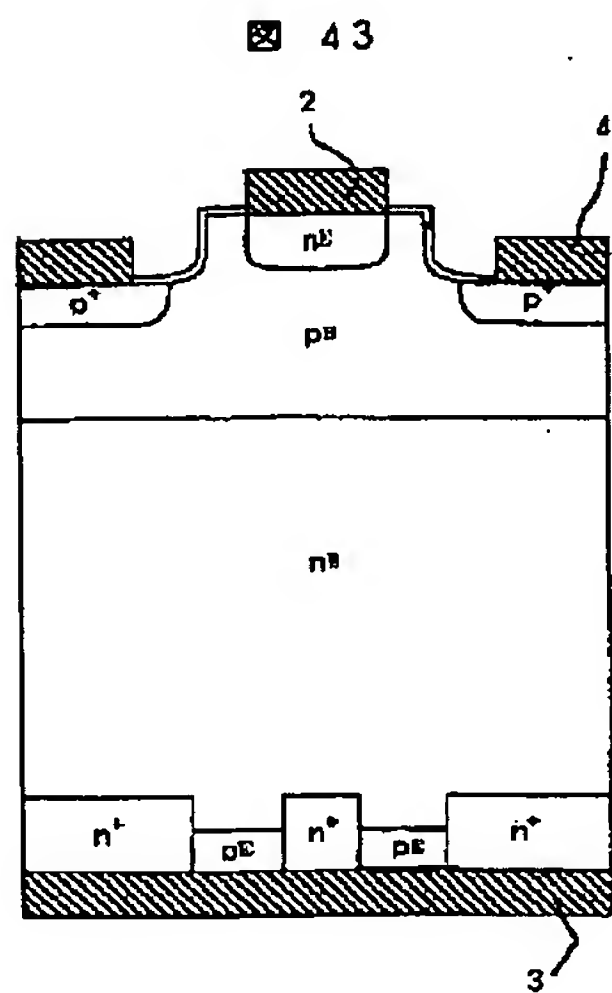
【図41】



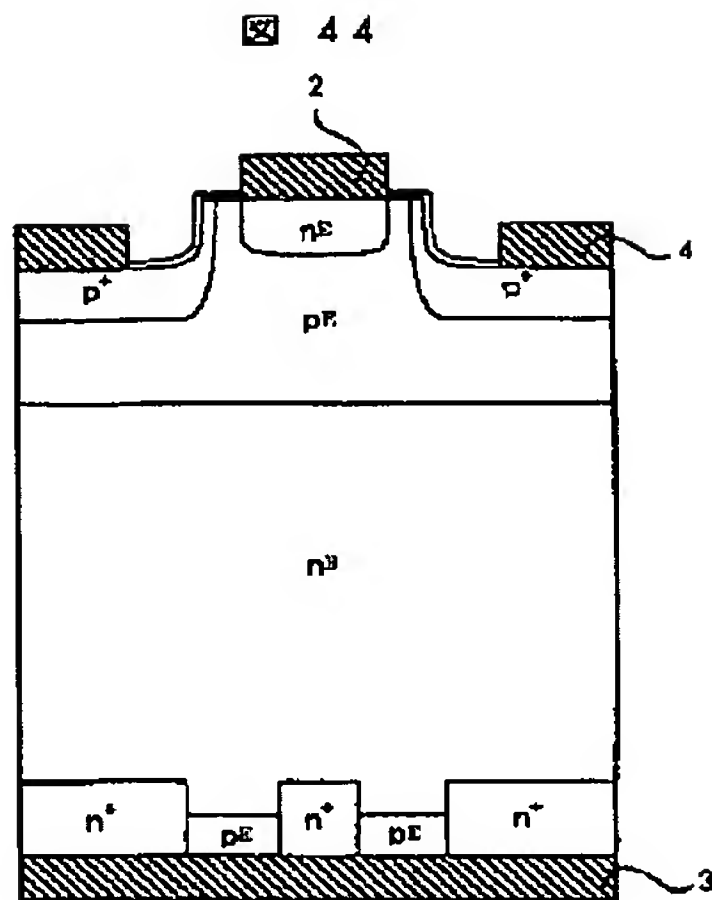
【図42】



【図43】



【図44】



【図45】

図 45

